

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-086771

(43)Date of publication of application : 20.03.2003

(51)Int.Cl.

H01L 27/105

(21)Application number : 2002-151217

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.05.2002

(72)Inventor : NAGANO YOSHIHISA
FUJII EIJI

(30)Priority

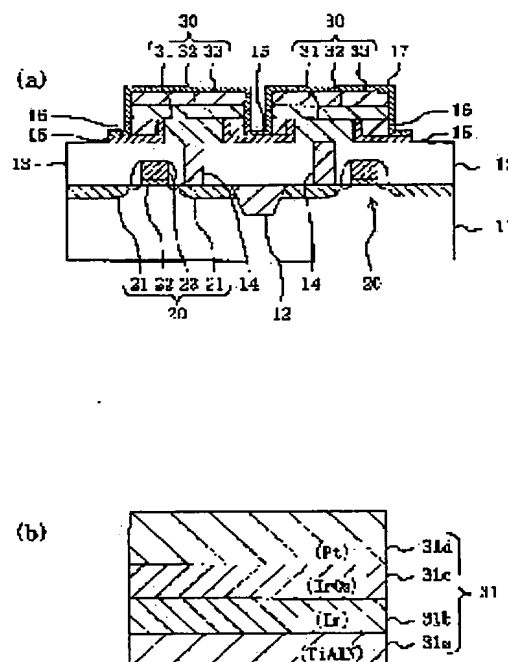
Priority number : 2001191524 Priority date : 25.06.2001 Priority country : JP

(54) CAPACITIVE ELEMENT, AND SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To maintain the barrier property that a lower electrode of a capacitive element has and to prevent a capacitor insulating film formed of metal oxide of the capacitive element from being reduced.

SOLUTION: The side of the lower electrode 31 is formed of aluminum oxide of about 5 to 100 nm in film thickness, and covered with a 1st insulating barrier layer 15 that prevents oxygen and hydrogen from being diffused. The top surface of the upper electrode 33 and the sides of the upper electrode 33, a capacitor insulating film 32, and a buried insulating film 16 are made of aluminum oxide of about 5 to 100 nm in film thickness, and covered with a 2nd insulating barrier layer 17 which prevents hydrogen from being diffused. The 2nd insulating barrier layer 17 is in contact with the 1st insulating barrier layer 15 in an area by a lower electrode 31.



LEGAL STATUS

[Date of request for examination] 24.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3643091

BEST AVAILABLE COPY

[Date of registration] 04.02.2005

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-86771

(P2003-86771A)

(43) 公開日 平成15年3月20日 (2003.3.20)

(51) IntCl.⁷

H 0 1 L 27/105

識別記号

F I

H 0 1 L 27/10

データベース (参考)

4 4 4 B 5 F 0 8 3

審査請求 有 請求項の数40 O L (全 28 頁)

(21) 出願番号 特願2002-151217(P2002-151217)

(22) 出願日 平成14年5月24日 (2002.5.24)

(31) 優先権主張番号 特願2001-191524(P2001-191524)

(32) 優先日 平成13年6月25日 (2001.6.25)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 長野 能久

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 藤井 英治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 10007/931

弁理士 前田 弘 (外7名)

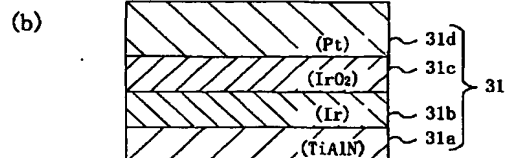
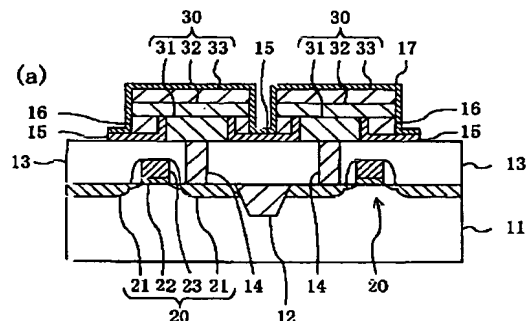
最終頁に続く

(54) 【発明の名称】 容量素子、半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 容量素子における下部電極の酸素バリア性を維持できるようにし、また、容量素子の金属酸化物からなる容量絶縁膜が還元されることを防止できるようにする。

【解決手段】 下部電極31の側面は、膜厚が5nm～100nm程度の酸化アルミニウムからなり、酸素及び水素の拡散を防ぐ第1の絶縁性バリア層15により覆われている。また、上部電極33の上面並びに該上部電極33、容量絶縁膜32及び埋込み絶縁膜16の各側面は、膜厚が5nm～100nm程度の酸化アルミニウムからなり、水素の拡散を防ぐ第2の絶縁性バリア層17により覆われている。第2の絶縁性バリア層17は、第1の絶縁性バリア層15と下部電極31の側方の領域で接している。



【特許請求の範囲】

【請求項1】 下部電極と、

前記下部電極上に形成された金属酸化物からなる容量絶縁膜と、

前記容量絶縁膜上に形成された上部電極と、

前記下部電極の周囲を埋める埋込み絶縁膜とを備え、

前記下部電極は、酸素の拡散を防ぐ導電性バリア層を含み、

前記下部電極の側面のうち少なくとも前記導電性バリア層の側面と接するように、水素の拡散を防ぐ絶縁性バリア層が形成されていることを特徴とする容量素子。

【請求項2】 前記埋込み絶縁膜は、水素を含む雰囲気下で形成されていることを特徴とする請求項1に記載の容量素子。

【請求項3】 前記埋込み絶縁膜は、酸化シリコン (SiO_2) 又は窒化シリコン (Si_3N_4) からなることを特徴とする請求項1又は2に記載の容量素子。

【請求項4】 前記絶縁性バリア層は、酸素の拡散をも防ぐことを特徴とする請求項1に記載の容量素子。

【請求項5】 前記導電性バリア層は、酸素及び水素の拡散を防ぐ第1の導電性バリア層と、酸素の拡散を防ぐ第2の導電性バリア層とからなる積層膜を含むことを特徴とする請求項1に記載の容量素子。

【請求項6】 前記第1の導電性バリア層は、窒化チタンアルミニウム (TiAlN)、チタンアルミニウム (TiAl)、窒化珪化チタン (TiSiN)、窒化タンタル (TaN)、窒化珪化タンタル (TaSiN)、窒化タンタルアルミニウム (TaAlN)、及びタンタルアルミニウム (TaAl) のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることを特徴とする請求項5に記載の容量素子。

【請求項7】 前記第2の導電性バリア層は、二酸化イリジウム (IrO_2)、下層から順次形成されたイリジウム (Ir) と二酸化イリジウム (IrO_2) とからなる積層膜、二酸化ルテニウム (RuO_2)、及び下層から順次形成されたルテニウム (Ru) と二酸化ルテニウム (RuO_2) とからなる積層膜のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることを特徴とする請求項5に記載の容量素子。

【請求項8】 前記絶縁性バリア層は、酸化アルミニウム (Al_2O_3)、酸化チタンアルミニウム (TiAlO) 及び酸化タンタルアルミニウム (TaAlO) のうちのいずれか1つを含むことを特徴とする請求項1に記載の容量素子。

【請求項9】 下部電極と、

前記下部電極上に形成された金属酸化物からなる容量絶縁膜と、

前記容量絶縁膜上に形成された上部電極と、

前記下部電極の周囲を埋める埋込み絶縁膜とを備え、

前記下部電極は、二酸化イリジウム (IrO_2)、下層から順次形成されたイリジウム (Ir) と二酸化イリジウム (IrO_2) とからなる積層膜、二酸化ルテニウム (RuO_2)、及び下層から順次形成されたルテニウム (Ru) と二酸化ルテニウム (RuO_2) とからなる積層膜のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成された導電性バリア層を含み、

前記下部電極の側面のうち少なくとも前記導電性バリア層の側面と接するように、酸化アルミニウム (Al_2O_3)、酸化チタンアルミニウム (TiAlO) 及び酸化タンタルアルミニウム (TaAlO) のうちの少なくとも1つを含む絶縁性バリア層が形成されていることを特徴とする容量素子。

【請求項10】 半導体基板の上に形成され、ソース領域及びドレイン領域を有するトランジスタと、

前記半導体基板の上に前記トランジスタを覆うように形成された層間絶縁膜と、

前記層間絶縁膜に前記トランジスタの前記ソース領域又は前記ドレイン領域と電気的に接続されるように形成されたコンタクトプラグと、

前記下部電極が前記コンタクトプラグ上に形成された前記請求項1～9のうちのいずれか1項に記載の容量素子とを備えていることを特徴とする半導体記憶装置。

【請求項11】 半導体基板上にゲート電極を形成した後、前記半導体基板における前記ゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することによりトランジスタを形成する第1の工程と、

前記トランジスタを含む前記半導体基板の上に層間絶縁膜を形成する第2の工程と、

前記層間絶縁膜に、前記ソース領域又は前記ドレイン領域と電気的に接続されるコンタクトプラグを形成する第3の工程と、

前記層間絶縁膜の上に、酸素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第4の工程と、

前記第1の導電膜を前記コンタクトプラグと電気的に接続されるようにパターニングすることにより、前記層間絶縁膜の上に前記第1の導電膜から下部電極を形成する第5の工程と、

前記層間絶縁膜の上に前記下部電極の上面及び側面を覆うように水素の拡散を防ぐ絶縁性バリア層を形成する第6の工程と、

前記絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜及び絶縁性バリア層に対して前記下部電極を露出するように平坦化する第7の工程と、

露出した前記下部電極の上を含む平坦化した前記第1の絶縁膜及び絶縁性バリア層の上に、金属酸化物からなる第2の絶縁膜と、該第2の絶縁膜の上に第2の導電膜とを形成する第8の工程と、

前記下部電極を含むように、前記第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターンングすることにより、前記下部電極の上に前記第2の導電膜から上部電極を形成し、前記第2の絶縁膜から容量絶縁膜を形成し、前記第1の絶縁膜から下部電極の周囲を埋める埋込み絶縁膜を形成する第9の工程とを備えていることを特徴とする半導体記憶装置の製造方法。

【請求項12】 前記埋込み絶縁膜は、水素を含む雰囲気中で形成することを特徴とする請求項11に記載の半導体記憶装置の製造方法。

【請求項13】 前記第4の工程は、酸素及び水素の拡散を防ぐ第1の導電性バリア層を形成する工程と、酸素の拡散を防ぐ第2の導電性バリア層を形成する工程とを含むことを特徴とする請求項11に記載の半導体記憶装置の製造方法。

【請求項14】 下部電極と、
前記下部電極上に形成された金属酸化物からなる容量絶縁膜と、
前記容量絶縁膜上に形成された上部電極と、
前記下部電極の周囲を埋める埋込み絶縁膜とを備え、
前記下部電極は、酸素及び水素の拡散を防ぐ導電性バリア層を含み、
前記下部電極の側面のうち少なくとも前記導電性バリア層の側面と接するように、水素の拡散を防ぐ第1の絶縁性バリア層が形成されており、
前記上部電極の上面及び側面並びに前記容量絶縁膜の側面を覆うように、水素の拡散を防ぐ第2の絶縁性バリア層が形成されており、
前記第2の絶縁性バリア層は、前記下部電極を覆うと共に前記第1の絶縁性バリア層と接していることを特徴とする容量素子。

【請求項15】 前記埋込み絶縁膜は、水素を含む雰囲気中で形成されていることを特徴とする請求項14に記載の容量素子。

【請求項16】 前記埋込み絶縁膜は、酸化シリコン (SiO_2) 又は窒化シリコン (Si_3N_4) からなることを特徴とする請求項14に記載の容量素子。

【請求項17】 前記第1の絶縁性バリア層は、酸素の拡散をも防ぐことを特徴とする請求項14に記載の容量素子。

【請求項18】 前記導電性バリア層は、酸素及び水素の拡散を防ぐ第1の導電性バリア層と、酸素の拡散を防ぐ第2の導電性バリア層とからなる積層膜を含むことを特徴とする請求項14に記載の容量素子。

【請求項19】 前記第1の導電性バリア層は、窒化チタンアルミニウム (TiAlN)、チタンアルミニウム (TiAl)、窒化珪化チタン (TiSiN)、窒化タンタル (TaN)、窒化珪化タンタル (TaSiN)、窒化タンタルアルミニウム (TaAlN)、及びタンタルアルミニウム (TaAl) のうちのいずれか1つによ

り、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることを特徴とする請求項18に記載の容量素子。

【請求項20】 前記第2の導電性バリア層は、二酸化イリジウム (IrO_2)、下層から順次形成されたイリジウム (Ir) と二酸化イリジウム (IrO_2) とからなる積層膜、二酸化ルテニウム (RuO_2)、及び下層から順次形成されたルテニウム (Ru) と二酸化ルテニウム (RuO_2) とからなる積層膜のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることを特徴とする請求項18に記載の容量素子。

【請求項21】 前記第1の絶縁性バリア層及び第2の絶縁性バリア層は、酸化アルミニウム (Al_2O_3)、酸化チタンアルミニウム (TiAlO) 又は酸化タンタルアルミニウム (TaAlO) からなることを特徴とする請求項14又は17に記載の容量素子。

【請求項22】 下部電極と、
前記下部電極上に形成された金属酸化物からなる容量絶縁膜と、
前記容量絶縁膜上に形成された上部電極と、
前記下部電極の周囲を埋める埋込み絶縁膜とを備え、
前記下部電極は、窒化チタンアルミニウム (TiAlN)、チタンアルミニウム (TiAl)、窒化珪化チタン (TiSiN)、窒化タンタル (TaN)、窒化珪化タンタル (TaSiN)、窒化タンタルアルミニウム (TaAlN)、及びタンタルアルミニウム (TaAl) のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成された導電性バリア層を含み、
前記下部電極の側面のうち少なくとも前記導電性バリア層の側面と接するように、酸化アルミニウム (Al_2O_3)、酸化チタンアルミニウム (TiAlO) 及び酸化タンタルアルミニウム (TaAlO) のうちの少なくとも1つを含む第1の絶縁性バリア層が形成されており、
前記上部電極の上面及び側面並びに前記容量絶縁膜の側面を覆うように、酸化アルミニウム (Al_2O_3)、酸化チタンアルミニウム (TiAlO) 及び酸化タンタルアルミニウム (TaAlO) のうちの少なくとも1つを含む第2の絶縁性バリア層が形成されており、
前記第2の絶縁性バリア層は、前記下部電極を覆うと共に前記第1の絶縁性バリア層と接していることを特徴とする容量素子。

【請求項23】 半導体基板の上に形成され、ソース領域及びドレイン領域を有するトランジスタと、
前記半導体基板の上に前記トランジスタを覆うように形成された層間絶縁膜と、
前記層間絶縁膜に前記トランジスタの前記ソース領域又は前記ドレイン領域と電気的に接続されるように形成されたコンタクトプラグと、

前記下部電極が前記コンタクトプラグ上に形成された前記請求項14～22のうちのいずれか1項に記載の容量素子とを備えていることを特徴とする半導体記憶装置。

【請求項24】 半導体基板上にゲート電極を形成した後、前記半導体基板における前記ゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することによりトランジスタを形成する第1の工程と、

前記トランジスタを含む前記半導体基板の上に層間絶縁膜を形成する第2の工程と、

前記層間絶縁膜に、前記ソース領域又は前記ドレイン領域と電気的に接続されるコンタクトプラグを形成する第3の工程と、

前記層間絶縁膜の上に、酸素及び水素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第4の工程と、

前記第1の導電膜を前記コンタクトプラグと電気的に接続されるようにパターニングすることにより、前記層間絶縁膜の上に前記第1の導電膜から下部電極を形成する第5の工程と、

前記層間絶縁膜の上に前記下部電極の上面及び側面を覆うように水素の拡散を防ぐ絶縁性バリア層を形成する第6の工程と、

前記絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜及び絶縁性バリア層に対して前記下部電極を露出するように平坦化する第7の工程と、

露出した前記下部電極の上を含む平坦化した前記第1の絶縁膜及び絶縁性バリア層の上に、金属酸化物からなる第2の絶縁膜と、該第2の絶縁膜の上に第2の導電膜とを形成する第8の工程と、

前記下部電極を含むように、前記第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターニングすることにより、前記下部電極の上に前記第2の導電膜から上部電極を形成し、前記第2の絶縁膜から容量絶縁膜を形成し、前記第1の絶縁膜から下部電極の周囲を埋める埋込み絶縁膜を形成する第9の工程と、

前記上部電極、容量絶縁膜及び埋込み絶縁膜を覆い、且つ前記第1の絶縁性バリア層と前記下部電極の側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成する第10の工程とを備えていることを特徴とする半導体記憶装置の製造方法。

【請求項25】 前記第1の絶縁膜は、水素を含む雰囲気中で形成することを特徴とする請求項24に記載の半導体記憶装置の製造方法。

【請求項26】 前記第9の工程は、前記第1の絶縁膜のパターニングの後に、前記第1の絶縁性バリア層に対して前記第1の絶縁膜と同一形状のパターニングを行なう工程を含むことを特徴とする請求項24に記載の半導体記憶装置の製造方法。

【請求項27】 前記第4の工程は、酸素及び水素の拡散を防ぐ第1の導電性バリア層を形成する工程と、酸素

の拡散を防ぐ第2の導電性バリア層を形成する工程とを含むことを特徴とする請求項24又は26に記載の半導体記憶装置の製造方法。

【請求項28】 半導体基板の上に形成され、ソース領域及びドレイン領域を有する第1のトランジスタと、前記半導体基板の上に前記第1のトランジスタを覆うように形成された層間絶縁膜と、

前記層間絶縁膜に、前記第1のトランジスタの前記ソース領域又は前記ドレイン領域と電気的に接続されるように形成された第1のコンタクトプラグと、

前記層間絶縁膜の上に前記第1のコンタクトプラグと電気的に接続されるように形成され、水素の拡散を防ぐ導電性バリア層を含む下部電極と、

前記下部電極の上に形成された金属酸化物からなる容量絶縁膜と、

前記容量絶縁膜の上に形成され、複数の下部電極から構成された1つ又は複数のブロックごとに設けられた上部電極とからなるメモリセルアレイとを備え、

前記1つのブロック又は複数のブロックの周囲を覆うように、水素の拡散を防ぐ絶縁性バリア層が形成されていることを特徴とする半導体記憶装置。

【請求項29】 前記ブロックにおいて、前記上部電極は、水素の拡散を防止する導電性バリア膜を介在させ、第2のトランジスタのソース領域又はドレイン領域と接続された第2のコンタクトプラグと電気的に接続されていることを特徴とする請求項28に記載の半導体記憶装置。

【請求項30】 前記ブロックにおいて、前記上部電極は、前記下部電極を介在させ、第2のトランジスタのソース領域又はドレイン領域と接続された第2のコンタクトプラグと電気的に接続されていることを特徴とする請求項28に記載の半導体記憶装置。

【請求項31】 半導体基板の上に形成され、ソース領域及びドレイン領域を有する第1のトランジスタと、前記半導体基板の上に前記第1のトランジスタを覆うように形成された層間絶縁膜と、

前記層間絶縁膜に、前記第1のトランジスタの前記ソース領域又は前記ドレイン領域と電気的に接続されるように形成された第1のコンタクトプラグと、

前記層間絶縁膜の上に前記第1のコンタクトプラグと電気的に接続されるように形成され、水素の拡散を防ぐ導電性バリア層を含む下部電極と、

前記下部電極の上に形成された金属酸化物からなる容量絶縁膜と、

前記容量絶縁膜の上に形成され、複数の下部電極から構成された1つ又は複数のブロックごとに設けられた上部電極とからなるメモリセルアレイとを備え、

前記複数の下部電極に接し、且つ前記ブロックの底面を覆うように水素の拡散を防ぐ第1の絶縁性バリア層が形成されており、

前記上部電極の上面及び側面並びに前記容量絶縁膜の側面を覆って、前記ブロックの上面及び側面を覆うように水素の拡散を防ぐ第2の絶縁性バリア層が形成されており、

前記第2の絶縁性バリア層は、前記1つのブロック又は複数のブロックの周囲において前記第1の絶縁性バリア層と接していることを特徴とする半導体記憶装置。

【請求項32】 前記導電性バリア層は、窒化チタンアルミニウム ($TiAlN$)、チタンアルミニウム ($TiAl$)、窒化珪化チタン ($TiSiN$)、窒化 tantalum (TaN)、窒化珪化 tantalum ($TaSiN$)、窒化 tantalum アルミニウム ($TaAlN$)、及び tantalum アルミニウム ($TaAl$) のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることを特徴とする請求項31に記載の半導体記憶装置。

【請求項33】 前記第1の絶縁性バリア層又は第2の絶縁性バリア層は、酸化アルミニウム (Al_2O_3)、酸化チタンアルミニウム ($TiAlO$) 及び酸化 tantalum アルミニウム ($TaAlO$) のうちの少なくとも1つを含むことを特徴とする請求項31に記載の半導体記憶装置。

【請求項34】 前記第1の絶縁性バリア層は、窒化シリコン (Si_3N_4) からなることを特徴とする請求項31に記載の半導体記憶装置。

【請求項35】 半導体基板上にゲート電極を形成した後、前記半導体基板における前記ゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することによりトランジスタを形成する第1の工程と、

前記トランジスタを含む前記半導体基板の上に層間絶縁膜を形成する第2の工程と、

前記層間絶縁膜に、前記ソース領域又は前記ドレイン領域と電気的に接続されるコンタクトプラグを形成する第3の工程と、

前記層間絶縁膜の上に、酸素及び水素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第4の工程と、

前記第1の導電膜を前記コンタクトプラグと電気的に接続されるようにパターニングすることにより、前記層間絶縁膜の上に前記第1の導電膜から複数の下部電極を形成する第5の工程と、

前記層間絶縁膜の上に前記複数の下部電極の上面及び側面を覆うように水素の拡散を防ぐ第1の絶縁性バリア層を形成する第6の工程と、

前記第1の絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜及び第1の絶縁性バリア層に対して前記複数の下部電極を露出するように平坦化する第7の工程と、

露出した前記複数の下部電極を含め平坦化した前記第1の絶縁膜及び第1の絶縁性バリア層の上の全面に、金属

酸化物からなる第2の絶縁膜を形成する第8の工程と、前記第2の絶縁膜の上に第2の導電膜を形成する第9の工程と、

前記複数の下部電極により構成されるブロックを含むように、前記第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターニングすることにより、前記ブロックを覆うように前記第2の導電膜から上部電極を形成し、前記第2の絶縁膜から容量絶縁膜を形成し、前記第1の絶縁膜から前記複数の下部電極同士の側方部分を埋める埋込み絶縁膜を形成する第10の工程と、

前記ブロックにおいて、前記上部電極、容量絶縁膜及び埋込み絶縁膜を覆い、且つ前記第1の絶縁性バリア層と前記ブロックの側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成する第11の工程とを備えていることを特徴とする半導体記憶装置の製造方法。

【請求項36】 半導体基板上にゲート電極を形成した後、前記半導体基板における前記ゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することにより第1のトランジスタ及び第2のトランジスタを形成する第1の工程と、

前記第1のトランジスタ及び第2のトランジスタを含む前記半導体基板の上に層間絶縁膜を形成する第2の工程と、

前記層間絶縁膜に、前記第1のトランジスタ及び第2のトランジスタの各ソース領域又はドレイン領域とそれぞれ電気的に接続される第1のコンタクトプラグ及び第2のコンタクトプラグを形成する第3の工程と、

前記層間絶縁膜の上に、酸素及び水素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第4の工程と、

前記第1の導電膜を前記第1のコンタクトプラグ及び第2のコンタクトプラグとそれぞれ電気的に接続されるようにパターニングすることにより、前記層間絶縁膜の上に前記第1の導電膜から複数の下部電極を形成する第5の工程と、

前記層間絶縁膜の上に前記複数の下部電極の上面及び側面を覆うように水素の拡散を防ぐ第1の絶縁性バリア層を形成する第6の工程と、

前記第1の絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜及び第1の絶縁性バリア層に対して前記複数の下部電極を露出するように平坦化する第7の工程と、

露出した前記複数の下部電極を含め平坦化した前記第1の絶縁膜及び第1の絶縁性バリア層の上の全面に、金属酸化物からなる第2の絶縁膜を形成する第8の工程と、前記複数の下部電極により構成されるブロックにおいて、前記第2の絶縁膜における前記第2のコンタクトプラグと接続された下部電極の上側部分を除去する第9の工程と、

前記第2の絶縁膜の上及び前記第2のコンタクトプラグ

と接続された下部電極の上に第2の導電膜を形成する第10の工程と、

前記ブロックを含むように前記第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターニングすることにより、前記ブロックを覆うように前記第2の導電膜から上部電極を形成し、前記第2の絶縁膜から容量絶縁膜を形成し、前記第1の絶縁膜から前記複数の下部電極同士の側方部分を埋める埋込み絶縁膜を形成する第11の工程と、

前記ブロックにおいて、前記上部電極、容量絶縁膜及び埋込み絶縁膜を覆い、且つ前記第1の絶縁性バリア層と前記ブロックの側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成する第12の工程とを備えていることを特徴とする半導体記憶装置の製造方法。

【請求項37】 半導体基板上にゲート電極を形成した後、前記半導体基板における前記ゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することによりトランジスタを形成する第1の工程と、

前記トランジスタを含む前記半導体基板の上に層間絶縁膜を形成する第2の工程と、

前記層間絶縁膜の上に水素の拡散を防ぐ第1の絶縁性バリア層を形成する第3の工程と、

前記層間絶縁膜及び第1の絶縁性バリア層に、前記ソース領域又は前記ドレイン領域と電気的に接続されるコンタクトプラグを形成する第4の工程と、

前記第1の絶縁性バリア層の上に、水素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第5の工程と、

前記第1の導電膜を前記コンタクトプラグと電気的に接続されるようにパターニングすることにより、前記第1の絶縁性バリア層の上に前記第1の導電膜から複数の下部電極を形成する第6の工程と、

前記複数の下部電極の上を含む前記第1の絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜に対して前記複数の下部電極を露出するように平坦化する第7の工程と、

露出した前記複数の下部電極の上を含む平坦化した前記第1の絶縁膜の上の全面に、金属酸化物からなる第2の絶縁膜を形成する第8の工程と、

前記第2の絶縁膜の上に第2の導電膜を形成する第9の工程と、

前記複数の下部電極により構成されるブロックを含むように、前記第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターニングすることにより、前記ブロックを覆うように前記第2の導電膜から上部電極を形成し、前記第2の絶縁膜から容量絶縁膜を形成し、前記第1の絶縁膜から前記複数の下部電極同士の側方部分を埋める埋込み絶縁膜を形成する第10の工程と、

前記ブロックにおいて、前記上部電極、容量絶縁膜及び埋込み絶縁膜を覆い、且つ前記第1の絶縁性バリア層と

前記ブロックの側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成する第11の工程とを備えていることを特徴とする半導体記憶装置の製造方法。

【請求項38】 半導体基板上にゲート電極を形成した後、前記半導体基板における前記ゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することにより第1のトランジスタ及び第2のトランジスタを形成する第1の工程と、

前記第1のトランジスタ及び第2のトランジスタを含む前記半導体基板の上に層間絶縁膜を形成する第2の工程と、

前記層間絶縁膜の上に水素の拡散を防ぐ第1の絶縁性バリア層を形成する第3の工程と、

前記層間絶縁膜及び第1の絶縁性バリア層に、前記ソース領域又は前記ドレイン領域とそれぞれ電気的に接続される第1のコンタクトプラグ及び第2のコンタクトプラグを形成する第4の工程と、

前記第1の絶縁性バリア層の上に、水素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第5の工程と、

前記第1の導電膜を前記第1のコンタクトプラグ及び第2のコンタクトプラグとそれぞれ電気的に接続されるようにパターニングすることにより、前記第1の絶縁性バリア層の上に前記第1の導電膜から複数の下部電極を形成する第6の工程と、

前記複数の下部電極の上を含む前記第1の絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜に対して前記複数の下部電極を露出するように平坦化する第7の工程と、

露出した前記複数の下部電極の上を含む平坦化した前記第1の絶縁膜の上の全面に、金属酸化物からなる第2の絶縁膜を形成する第8の工程と、

前記複数の下部電極により構成されるブロック内において、前記第2の絶縁膜における前記第2のコンタクトプラグと接続された下部電極の上側部分を除去する第9の工程と、

前記第2の絶縁膜の上及び前記第2のコンタクトプラグと接続された下部電極の上に第2の導電膜を形成する第10の工程と、

前記ブロックを含むように前記第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターニングすることにより、前記ブロックを覆うように前記第2の導電膜から上部電極を形成し、前記第2の絶縁膜から容量絶縁膜を形成し、前記第1の絶縁膜から前記複数の下部電極の側方部分を埋める埋込み絶縁膜を形成する第11の工程と、

前記ブロックにおいて、前記上部電極、容量絶縁膜及び埋込み絶縁膜を覆い、且つ前記第1の絶縁性バリア層と前記ブロックの側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成する第12の工程とを備えていることを特徴とする半導体記憶装置の製造方法。

【請求項39】 前記第10の工程は、前記第1の絶縁膜のパターニングの後に、前記第1の絶縁性バリア層に対して前記第1の絶縁膜と同一形状のパターニングを行なう工程を含むことを特徴とする請求項35又は37に記載の半導体記憶装置の製造方法。

【請求項40】 前記第11の工程は、前記第1の絶縁膜のパターニングの後に、前記第1の絶縁性バリア層に対して前記第1の絶縁膜と同一形状のパターニングを行なう工程を含むことを特徴とする請求項36又は38に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、金属酸化物を容量絶縁膜に持つ容量素子、並びに該容量素子を持つ半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】近年、電子機器におけるデジタル技術の進展に伴い、大容量のデータを処理し且つ保存する傾向が促進されるなか、電子機器に対して要求される機能が一段と高度化し、電子機器に使用される半導体装置及び該半導体装置を構成する半導体素子の寸法の微細化が急速に進んでいる。

【0003】これに伴い、例えばダイナミックRAM装置の高集積化を実現するために、従来の珪素酸化物又は珪素窒化物の代わりに高誘電体を容量絶縁膜として用いる技術が広く研究され、また開発されている。

【0004】さらに、従来にはない低動作電圧で且つ高速な書き込み及び読み出し動作が可能な不揮発性RAM装置の実用化を目指して、自発分極特性を持つ強誘電体膜に関する研究及び開発が盛んに行なわれている。これら高誘電体又は強誘電体を容量絶縁膜に用いた半導体記憶装置において、記憶容量がメガビット級の高集積メモリ素子には、従来のプレーナ型メモリセルに代わり、スタック型のメモリセルが用いられるようになってきている。

【0005】以下、従来の半導体記憶装置について図面を参照しながら説明する。

【0006】図15は特開平11-8355号公報に開示された従来の半導体記憶装置の要部の断面構成を示している。

【0007】図15に示すように、従来の半導体記憶装置は、半導体基板101に形成されたソースドレイン領域102と、半導体基板101のチャネル領域上にゲート絶縁膜103を介して形成されたゲート電極104とからなるトランジスタ105を有している。半導体基板101上には、トランジスタ105を含めその全面を覆う層間絶縁膜106が形成され、該層間絶縁膜106には、ソースドレイン領域102のいずれか一方と電気的に接続されるコンタクトプラグ107が形成されている。

【0008】層間絶縁膜106上には、窒化シリコン(Si_3N_4)からなる絶縁性水素バリア層108が形成されており、コンタクトプラグ107の上端部には窒化チタン(TiN)からなる導電性水素バリア層109が形成されている。

【0009】絶縁性水素バリア層108上には、導電性水素バリア層109と接続されるように、二酸化イリジウム(IrO_2)又は二酸化ルテニウム(RuO_2)を含む下部電極110が形成されている。

【0010】絶縁性水素バリア層108上の下部電極110同士の間には、酸化シリコン(SiO_2)、窒化シリコン(Si_3N_4)又は酸化窒化シリコン(SiON)等からなる埋込み絶縁膜111が形成されている。

【0011】下部電極110を含む埋込み絶縁膜111上には、チタン酸ジルコン鉛($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)、又はタンタル酸ストロンチウムビスマス($\text{SrBi}_2\text{Ta}_2\text{O}_9$)等の強誘電体からなる容量絶縁膜112が形成され、該容量絶縁膜112の上には、二酸化イリジウム又は二酸化ルテニウムを含む上部電極113が形成される。また、上部電極113上には、窒化シリコン等からなる絶縁性水素バリア層114が形成されている。

【0012】

【発明が解決しようとする課題】しかしながら、前記従来の半導体記憶装置には、以下に挙げるように2つの問題がある。

【0013】第1に、下部電極110を構成し、酸素に対するバリアとなる二酸化イリジウム又は二酸化ルテニウムからなる導電性酸化膜が、製造時に発生する水素により還元されてその酸素に対するバリア性が劣化するという問題を有している。

【0014】第2に、容量絶縁膜112を構成する高誘電体又は強誘電体が、製造時に発生する水素により還元されてしまい、容量素子としての電気的特性が劣化するという問題を有している。

【0015】まず、酸素バリア性を有する下部電極が製造中に還元される第1の問題について図16(a)及び図16(b)を参照しながら説明する。

【0016】図16(a)に示すように、二酸化イリジウム又は二酸化ルテニウムを含む下部電極110をパターニングした後、埋込み絶縁膜111Aを成膜する際に、原料ガスであるモノシラン(SiH_4)又はアンモニア(NH_3)から発生する水素イオンによって、二酸化イリジウム又は二酸化ルテニウムが容易に還元されてしまう。この還元反応は、埋込み絶縁膜111Aの成膜手段にプラズマCVD法を用いた場合に特に顕在化する。

【0017】その結果、下部電極111における酸素原子に対する拡散バリア性が劣化し、図16(b)に示すように、下部電極110の上に形成された高誘電体又は

強誘電体からなる容量絶縁膜112の結晶化に必須の650℃～800℃程度の酸素アニール時に、該容量絶縁膜112から拡散される酸素イオンが下部電極110の内部をコンタクトプラグ107との界面にまで拡散することにより、コンタクト抵抗が増大する等の接触不良が発生する。

【0018】次に、高誘電体又は強誘電体からなる容量絶縁膜が製造中に還元される第2の問題について図17を参照しながら説明する。

【0019】実際の半導体記憶装置は、図15又は図17に示すように、複数の容量素子とトランジスタとが共に2次元的に、いわゆるアレイ状に配置されている。このアレイ状に配置された容量素子の容量絶縁膜112は、前述したように、高誘電体又は強誘電体により構成する場合には金属酸化物を用いることが多い。従って、アレイ状に配置された容量素子のうち、その周縁部100に位置する容量素子の水素イオンによる還元を防止することは、容量素子の下部に設けた絶縁性水素バリア層108と上部に設けた絶縁性水素バリア層114とのみでは不可能である。なぜなら、図17に示すように、半導体基板101の上方向及び下方向からの水素イオンの拡散は防止できるものの、アレイ状に配置された複数の容量素子のうち周縁部100に位置する容量素子に対する基板面に平行な方向（横方向）からの水素イオンの拡散は防ぐことができないからである。

【0020】ところで、特開2001-237393号公報には、半導体記憶装置における1つの容量素子を水素バリア層で完全に覆う構成が開示されているが、複数の容量素子が2次元のアレイ上に配置されてなる半導体記憶装置は、複数の容量素子のすべてを水素バリア層により完全に覆うことができないければ、容量素子の特性の劣化を防止することはできない。

【0021】また、特開平11-126881号公報には、複数の容量素子が水素バリア層により完全に覆われる構成の半導体記憶装置を開示している。しかしながら、該公報は、その第1図に示される上部電極110に対して電圧を印加する手段を示していない。ここで、もし、上部電極110に電圧を印加するためのコンタクトホールを設けるとすると、上部電極110を覆う水素バリア層111をエッチングしなければならない。このとき、水素バリア層111を開口するエッチングを行なうと、特開2001-44376号には、開口後に行なうレジストのアッシング処理時に発生する水素や、その後の配線工程、すなわちコンタクトホールへのプラグの充填、配線の成膜及びパターニング、配線の水素ガスによるシンタ処理、並びに配線間の絶縁膜の形成等の一連のプロセスにより発生する水素によって、容量素子が劣化してしまうことが記されている。

【0022】このように、従来例に係る半導体記憶装置においては、アレイ状に配置された複数の容量素子を含

むメモリセルアレイを水素バリア層により完全に覆うことは困難である。

【0023】本発明は、前記従来の問題を解決し、容量素子における下部電極の酸素バリア性を維持できるようにすることを第1の目的とし、容量素子の金属酸化物からなる容量絶縁膜が還元されることを防止できるようにすることを第2の目的とし、さらには、メモリセルアレイを1つ以上のブロック単位で覆う場合にも、容量素子の特性の劣化を確実に防止できるようにすることを第3の目的とする。

【0024】

【課題を解決するための手段】前記第1の目的を達成するため、本発明は、容量素子における下部電極の側面を酸素及び水素の拡散を防ぐ第1の絶縁性バリア層で覆う構成とし、また、前記第2の目的を達成するため、容量素子における容量絶縁膜の側面を水素の拡散を防ぐ第2の絶縁性バリア層で覆う構成とし、また、第3の目的を達成するため、水素の拡散を防ぐ絶縁性バリア層によって、容量素子をメモリセルアレイに含まれる1つ以上のブロック単位で覆う構成とする。

【0025】具体的に、本発明に係る第1の容量素子は、前記第1の目的を達成し、下部電極と、下部電極上に形成された金属酸化物からなる容量絶縁膜と、容量絶縁膜上に形成された上部電極と、下部電極の周囲を埋める埋込み絶縁膜とを備え、下部電極は、酸素の拡散を防ぐ導電性バリア層を含み、下部電極の側面のうち少なくとも導電性バリア層の側面と接するように、水素の拡散を防ぐ絶縁性バリア層が形成されている。

【0026】第1の容量素子によると、下部電極の側面のうち少なくとも導電性バリア層の側面と接するように、水素の拡散を防ぐ絶縁性バリア層が形成されているため、下部電極の周囲を埋める埋込み絶縁膜の成膜時に発生する水素の下部電極への拡散が下部電極の側面に形成された絶縁性バリア層によって抑止される。その結果、下部電極を構成する酸素の拡散を防ぐ導電性バリア層が例えば金属酸化物からなる場合には、導電性バリア層の水素による還元を防止できるため、該導電性バリア層は酸素に対するバリア性を維持することができる。

【0027】第1の容量素子において、埋込み絶縁膜が水素を含む雰囲気下で形成されていることが好ましい。

【0028】第1の容量素子において、埋込み絶縁膜が酸化シリコン(SiO_2)又は窒化シリコン(Si_3N_4)からなることが好ましい。

【0029】第1の容量素子において、絶縁性バリア層が酸素の拡散をも防ぐことが好ましい。

【0030】第1の容量素子において、導電性バリア層が、酸素及び水素の拡散を防ぐ第1の導電性バリア層と酸素の拡散を防ぐ第2の導電性バリア層とからなる積層膜を含むことが好ましい。

【0031】この場合に、第1の導電性バリア層が、窒

化チタンアルミニウム (TiAlN)、チタンアルミニウム (TiAl)、窒化珪化チタン (TiSiN)、窒化タンタル (Ta₂N)、窒化珪化タンタル (TaSiN)、窒化タンタルアルミニウム (TaAlN)、及びタンタルアルミニウム (TaAl) のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることが好ましい。

【0032】また、この場合に、第2の導電性バリア層が、二酸化イリジウム (IrO₂)、下層から順次形成されたイリジウム (Ir) と二酸化イリジウム (IrO₂) とからなる積層膜、二酸化ルテニウム (RuO₂)、及び下層から順次形成されたルテニウム (Ru) と二酸化ルテニウム (RuO₂) とからなる積層膜のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることが好ましい。

【0033】第1の容量素子において、絶縁性バリア層が、酸化アルミニウム (Al₂O₃)、酸化チタンアルミニウム (TiAlO) 及び酸化タンタルアルミニウム (TaAlO) のうちのいずれか1つを含むことが好ましい。

【0034】本発明に係る第2の容量素子は、前記第1の目的を達成し、下部電極と、下部電極上に形成された金属酸化物からなる容量絶縁膜と、容量絶縁膜上に形成された上部電極と、下部電極の周囲を埋める埋込み絶縁膜とを備え、下部電極は、二酸化イリジウム (IrO₂)、下層から順次形成されたイリジウム (Ir) と二酸化イリジウム (IrO₂) とからなる積層膜、二酸化ルテニウム (RuO₂)、及び下層から順次形成されたルテニウム (Ru) と二酸化ルテニウム (RuO₂) とからなる積層膜のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成された導電性バリア層を含み、下部電極の側面のうち少なくとも導電性バリア層の側面と接するように、酸化アルミニウム (Al₂O₃)、酸化チタンアルミニウム (TiAlO) 及び酸化タンタルアルミニウム (TaAlO) のうちの少なくとも1つを含む絶縁性バリア層が形成されている。

【0035】第2の容量素子によると、二酸化イリジウム又は二酸化ルテニウムからなる金属酸化物を含む導電性バリア層を有する下部電極には、その側面の少なくとも導電性バリア層の側面と接するように、酸化アルミニウム、酸化チタンアルミニウム及び酸化タンタルアルミニウムのうちの少なくとも1つを含む絶縁性バリア層が形成されているため、埋込み絶縁膜の成膜時に発生する水素の下部電極への拡散が下部電極の側面に形成された絶縁性バリア層によって抑止される。その結果、導電性バリア層の水素による還元を防止できるので、導電性バリア層は酸素に対するバリア性を維持することができる。

【0036】本発明に係る第1の半導体記憶装置の製造方法は、前記第1の目的を達成し、半導体基板の上に形成され、ソース領域及びドレイン領域を有するトランジスタと、半導体基板の上にトランジスタを覆うように形成された層間絶縁膜と、層間絶縁膜にトランジスタのソース領域又はドレイン領域と電気的に接続されるように形成されたコンタクトプラグと、下部電極がコンタクトプラグ上に形成された本発明に係る第1又は第2の容量素子とを備えている。

【0037】第1の半導体記憶装置によると、本発明に係る第1又は第2の容量素子を備えているため、埋込み絶縁膜の成膜時に発生する水素の下部電極への拡散が下部電極の側面に形成された絶縁性バリア層によって抑止される。その結果、下部電極を構成する酸素の拡散を防ぐ導電性バリア層が例えば金属酸化物からなる場合には、導電性バリア層の水素による還元を防止できるため、容量素子の特性の劣化を防止することができる。

【0038】本発明に係る第1の半導体記憶装置の製造方法は、前記第1の目的を達成し、半導体基板上にゲート電極を形成した後、半導体基板におけるゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することによりトランジスタを形成する第1の工程と、トランジスタを含む半導体基板の上に層間絶縁膜を形成する第2の工程と、層間絶縁膜に、ソース領域又はドレイン領域と電気的に接続されるコンタクトプラグを形成する第3の工程と、層間絶縁膜の上に、酸素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第4の工程と、第1の導電膜をコンタクトプラグと電気的に接続されるようにパターニングすることにより、層間絶縁膜の上に第1の導電膜から下部電極を形成する第5の工程と、層間絶縁膜の上に下部電極の上面及び側面を覆うように水素の拡散を防ぐ絶縁性バリア層を形成する第6の工程と、絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜及び絶縁性バリア層に対して下部電極を露出するように平坦化する第7の工程と、露出した下部電極の上を含む平坦化した第1の絶縁膜及び絶縁性バリア層の上に、金属酸化物からなる第2の絶縁膜と、該第2の絶縁膜の上に第2の導電膜とを形成する第8の工程と、下部電極を含むように、第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターニングすることにより、下部電極の上に第2の導電膜から上部電極を形成し、第2の絶縁膜から容量絶縁膜を形成し、第1の絶縁膜から下部電極の周囲を埋める埋込み絶縁膜を形成する第9の工程とを備えている。

【0039】第1の半導体記憶装置の製造方法によると、第1の導電膜をコンタクトプラグと電気的に接続されるようにパターニングして、層間絶縁膜の上に第1の導電膜から下部電極を形成し、その後、層間絶縁膜の上に下部電極の側面を覆うように水素の拡散を防ぐ絶縁性バリア層を形成する。従って、下部電極を埋める埋込み

絶縁膜を形成するよりも前に、下部電極の上面及び側面上に絶縁性バリア層を形成するため、下部電極を構成する酸素の拡散を防ぐ導電性バリア層が金属酸化物からなる場合には、導電性バリア層の水素による還元を防止できるため、該導電性バリア層は酸素に対するバリア性を維持することができる。

【0040】第1の半導体記憶装置の製造方法において、埋込み絶縁膜は水素を含む雰囲気中で形成することが好ましい。

【0041】第1の半導体記憶装置の製造方法において、第4の工程が、酸素及び水素の拡散を防ぐ第1の導電性バリア層を形成する工程と、酸素の拡散を防ぐ第2の導電性バリア層を形成する工程とを含むことが好ましい。

【0042】本発明に係る第3の容量素子は、前記第2の目的を達成し、下部電極と、下部電極上に形成された金属酸化物からなる容量絶縁膜と、容量絶縁膜上に形成された上部電極と、下部電極の周囲を埋める埋込み絶縁膜とを備え、下部電極は、酸素及び水素の拡散を防ぐ導電性バリア層を含み、下部電極の側面のうち少なくとも導電性バリア層の側面と接するように、水素の拡散を防ぐ第1の絶縁性バリア層が形成されており、上部電極の上面及び側面並びに容量絶縁膜の側面を覆うように、水素の拡散を防ぐ第2の絶縁性バリア層が形成されており、第2の絶縁性バリア層は、下部電極を覆うと共に第1の絶縁性バリア層と接している。

【0043】第3の容量素子によると、金属酸化物からなる容量絶縁膜の側面が水素の拡散を防ぐ第2の絶縁性バリア層により覆われているため、製造時に発生する水素が容量絶縁膜の側面から拡散して金属酸化物が還元されることがない。その上、水素の拡散を防ぐ第2の絶縁性バリア層が下部電極を覆うと共に第1の絶縁性バリア層と接しているため、該第2の絶縁性バリア層により容量素子が隙間なく覆われるので、該容量素子の水素による還元を防止できる。その結果、所定の電気的特性を有する容量素子を得ることができる。

【0044】第3の容量素子において、埋込み絶縁膜が水素を含む雰囲気中で形成されていることが好ましい。

【0045】第3の容量素子において、埋込み絶縁膜が酸化シリコン (SiO_2) 又は窒化シリコン (Si_3N_4) からなることが好ましい。

【0046】第3の容量素子において、第1の絶縁性バリア層が酸素の拡散をも防ぐことが好ましい。

【0047】第3の容量素子において、導電性バリア層が、酸素及び水素の拡散を防ぐ第1の導電性バリア層と酸素の拡散を防ぐ第2の導電性バリア層とからなる積層膜を含むことが好ましい。

【0048】この場合に、第1の導電性バリア層が、窒化チタンアルミニウム (TiAlN)、チタンアルミニウム (TiAl)、窒化珪化チタン (TiSiN)、窒

化タンタル (TaN)、窒化珪化タンタル (TaSiN)、窒化タンタルアルミニウム (TaAlN)、及びタンタルアルミニウム (TaAl) のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることが好ましい。

【0049】また、この場合に、第2の導電性バリア層が、二酸化イリジウム (IrO_2)、下層から順次形成されたイリジウム (Ir) と二酸化イリジウム (IrO_2) とからなる積層膜、二酸化ルテニウム (RuO_2)、及び下層から順次形成されたルテニウム (Ru) と二酸化ルテニウム (RuO_2) とからなる積層膜のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることが好ましい。

【0050】第3の容量素子において、第1の絶縁性バリア層及び第2の絶縁性バリア層が、酸化アルミニウム (Al_2O_3)、酸化チタンアルミニウム (TiAlO) 又は酸化タンタルアルミニウム (TaAlO) からなることが好ましい。

【0051】本発明に係る第4の容量素子は、前記第2の目的を達成し、下部電極と、下部電極上に形成された金属酸化物からなる容量絶縁膜と、容量絶縁膜上に形成された上部電極と、下部電極の周囲を埋める埋込み絶縁膜とを備え、下部電極は、窒化チタンアルミニウム (TiAlN)、チタンアルミニウム (TiAl)、窒化珪化チタン (TiSiN)、窒化タンタル (TaN)、窒化珪化タンタル (TaSiN)、窒化タンタルアルミニウム (TaAlN)、及びタンタルアルミニウム (TaAl) のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成された導電性バリア層を含み、下部電極の側面のうち少なくとも導電性バリア層の側面と接するように、酸化アルミニウム (Al_2O_3)、酸化チタンアルミニウム (TiAlO) 及び酸化タンタルアルミニウム (TaAlO) のうちの少なくとも1つを含む第1の絶縁性バリア層が形成されており、上部電極の上面及び側面並びに容量絶縁膜の側面を覆うように、酸化アルミニウム (Al_2O_3)、酸化チタンアルミニウム (TiAlO) 及び酸化タンタルアルミニウム (TaAlO) のうちの少なくとも1つを含む第2の絶縁性バリア層が形成されており、第2の絶縁性バリア層は、下部電極を覆うと共に第1の絶縁性バリア層と接している。

【0052】第4の容量素子によると、下部電極に、チタン、アルミニウム、珪素又はタンタル又はその窒化物からなる導電層バリア層を含み、該導電性バリア層の側面は、アルミニウムの酸化物、チタンとアルミニウムとの酸化物又はタンタルとアルミニウムとの酸化物からなる第1の絶縁性バリア層が形成されている。さらに、第1の絶縁性バリア層と同一の材料群のうちの1つからなる第2の絶縁性バリア層が、上部電極の上面及び側面、

容量絶縁膜の側面並びに下部電極を覆うと共に、第1の絶縁性バリア層と接するように形成されているため、第2の絶縁性バリア層により容量素子が隙間なく覆われるので、該容量素子の水素による還元を防止できる。その結果、所定の電気的特性を有する容量素子を得ることができる。

【0053】本発明に係る第2の半導体記憶装置は、半導体基板の上に形成され、ソース領域及びドレイン領域を有するトランジスタと、半導体基板の上にトランジスタを覆うように形成された層間絶縁膜と、層間絶縁膜にトランジスタのソース領域又はドレイン領域と電気的に接続されるように形成されたコンタクトプラグと、下部電極がコンタクトプラグ上に形成された本発明に係る第3又は第4の容量素子とを備えている。

【0054】第2の半導体記憶装置によると、本発明に係る第3又は第4の容量素子を備えているため、埋込み絶縁膜の成膜時に発生する水素の下部電極への拡散が下部電極の側面に形成された絶縁性バリア層によって抑止される。さらに、金属酸化物からなる容量絶縁膜の側面が水素の拡散を防ぐ第2の絶縁性バリア層により覆われているため、製造時に発生する水素が容量絶縁膜の側面から拡散して金属酸化物が還元されることがない。その上、水素の拡散を防ぐ第2の絶縁性バリア層が下部電極を覆うと共に第1の絶縁性バリア層と接しているため、該第2の絶縁性バリア層により容量素子が隙間なく覆われるので、該容量素子の水素による還元を防止できる。その結果、所望の電気的特性を有する容量素子を得ることができる。

【0055】本発明に係る第2の半導体記憶装置の製造方法は、半導体基板上にゲート電極を形成した後、半導体基板におけるゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することによりトランジスタを形成する第1の工程と、トランジスタを含む半導体基板の上に層間絶縁膜を形成する第2の工程と、層間絶縁膜に、ソース領域又はドレイン領域と電気的に接続されるコンタクトプラグを形成する第3の工程と、層間絶縁膜の上に、酸素及び水素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第4の工程と、第1の導電膜をコンタクトプラグと電気的に接続されるようにパターニングすることにより、層間絶縁膜の上に第1の導電膜から下部電極を形成する第5の工程と、層間絶縁膜の上に下部電極の上面及び側面を覆うように水素の拡散を防ぐ絶縁性バリア層を形成する第6の工程と、絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜及び絶縁性バリア層に対して下部電極を露出するように平坦化する第7の工程と、露出した下部電極の上を含む平坦化した第1の絶縁膜及び絶縁性バリア層の上に、金属酸化物からなる第2の絶縁膜と、該第2の絶縁膜の上に第2の導電膜とを形成する第8の工程と、下部電極を含むように、第2の導電膜、第2の絶縁膜及び第1の絶

縁膜をパターニングすることにより、下部電極の上に第2の導電膜から上部電極を形成し、第2の絶縁膜から容量絶縁膜を形成し、第1の絶縁膜から下部電極の周囲を埋める埋込み絶縁膜を形成する第9の工程と、上部電極、容量絶縁膜及び埋込み絶縁膜を覆い、且つ第1の絶縁性バリア層と下部電極の側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成する第10の工程とを備えている。

【0056】第2の半導体記憶装置の製造方法によると、前記第1の半導体記憶装置の製造方法の効果を得られる上に、上部電極、容量絶縁膜、及び下部電極の周囲を埋める埋込み絶縁膜をパターニングした後、上部電極、容量絶縁膜及び埋込み絶縁膜を覆い且つ第1の絶縁性バリア層と下部電極の側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成するため、容量素子の金属酸化物からなる容量絶縁膜が製造中に還元されることを防止することができる。

【0057】第2の半導体記憶装置の製造方法において、第1の絶縁膜が水素を含む雰囲気中で形成することが好ましい。

【0058】第2の半導体記憶装置の製造方法において、第9の工程が、第1の絶縁膜のパターニングの後に、第1の絶縁性バリア層に対して第1の絶縁膜と同一形状のパターニングを行なう工程を含むことが好ましい。

【0059】このようにすると、第1の絶縁性バリア層における下部電極を覆う部分及び埋込み絶縁膜により覆われる部分以外の領域はエッチングにより除去されるため、第10の工程よりも後に、絶縁性バリア層をパターニングする際には、第2の絶縁性バリア層のみをエッチングすればよい。その結果、第1の絶縁性バリア層及び第2の絶縁性バリア層の2層に対してエッチングを行なう場合と比べて、エッチング時間を短縮することができる。従って、絶対段差が大きい容量素子部分の上側であってレジスト膜の膜厚が小さくなる部分であっても、エッチング中にレジストが消失してしまうという不具合に対するプロセスマージンを大きくすることができる。

【0060】第2の半導体記憶装置の製造方法において、第4の工程が、酸素及び水素の拡散を防ぐ第1の導電性バリア層を形成する工程と、酸素の拡散を防ぐ第2の導電性バリア層を形成する工程とを含むことが好ましい。

【0061】本発明に係る第3の半導体記憶装置は、前記第3の目的を達成し、半導体基板の上に形成され、ソース領域及びドレイン領域を有する第1のトランジスタと、半導体基板の上に第1のトランジスタを覆うように形成された層間絶縁膜と、層間絶縁膜に、第1のトランジスタのソース領域又はドレイン領域と電気的に接続されるように形成された第1のコンタクトプラグと、層間絶縁膜の上に第1のコンタクトプラグと電気的に接続さ

れるように形成され、水素の拡散を防ぐ導電性バリア層を含む下部電極と、下部電極の上に形成された金属酸化物からなる容量絶縁膜と、容量絶縁膜の上に形成され、複数の下部電極から構成された1つ又は複数のブロックごとに設けられた上部電極とからなるメモリセルアレイとを備え、1つのブロック又は複数のブロックの周囲を覆うように、水素の拡散を防ぐ絶縁性バリア層が形成されている。

【0062】第3の半導体記憶装置によると、水素の拡散を防ぐ導電性バリア層を含む下部電極と、容量絶縁膜と、その上に形成され、複数の下部電極から構成された1つ又は複数のブロックごとに設けられた上部電極とからなるメモリセルアレイを備えており、該メモリセルアレイを構成する1つのブロック又は複数のブロックの周囲を覆うように、水素の拡散を防ぐ絶縁性バリア層が形成されているため、容量素子の特性の劣化を確実に防止することができる。

【0063】第3の半導体記憶装置のブロックにおいて、上部電極が、水素の拡散を防止する導電性バリア膜を介在させ、第2のトランジスタのソース領域又はドレイン領域と接続された第2のコンタクトプラグと電気的に接続されていることが好ましい。

【0064】このようにすると、容量素子がブロックごとに絶縁性バリア層によって覆われる構成であっても、絶縁性バリア層を開口することなく、上部電極には第2のコンタクトプラグを通して電圧を印加することができるため、容量素子が絶縁性バリア層に対する開口及び配線プロセスによる水素にさらされることがなくなるので、容量素子の特性の劣化を防止することができる。

【0065】第3の半導体記憶装置のブロックにおいて、上部電極が、下部電極を介在させ、第2のトランジスタのソース領域又はドレイン領域と接続された第2のコンタクトプラグと電気的に接続されていることが好ましい。

【0066】このようにすると、ブロック内の1つの容量素子の容量絶縁膜に下部電極を露出する開口部を形成するだけで、第2のトランジスタと上部電極とが電気的に接続される。

【0067】本発明に係る第4の半導体記憶装置は、前記第3の目的を達成し、半導体基板の上に形成され、ソース領域及びドレイン領域を有する第1のトランジスタと、半導体基板の上に第1のトランジスタを覆うように形成された層間絶縁膜と、層間絶縁膜に、第1のトランジスタのソース領域又はドレイン領域と電気的に接続されるように形成された第1のコンタクトプラグと、層間絶縁膜の上に第1のコンタクトプラグと電気的に接続されるように形成され、水素の拡散を防ぐ導電性バリア層を含む下部電極と、下部電極の上に形成された金属酸化物からなる容量絶縁膜と、容量絶縁膜の上に形成され、複数の下部電極から構成された1つ又は複数のブロック

ごとに設けられた上部電極とからなるメモリセルアレイとを備え、複数の下部電極に接し且つブロックの底面を覆うように水素の拡散を防ぐ第1の絶縁性バリア層が形成されており、上部電極の上面及び側面並びに容量絶縁膜の側面を覆って、ブロックの上面及び側面を覆うように水素の拡散を防ぐ第2の絶縁性バリア層が形成されており、第2の絶縁性バリア層は1つのブロック又は複数のブロックの周囲において第1の絶縁性バリア層と接している。

【0068】第4の半導体記憶装置によると、前記第3の半導体記憶装置の効果を得られる上に、複数の下部電極に接し且つブロックの底面を覆うように水素の拡散を防ぐ第1の絶縁性バリア層が形成されているため、容量素子の特性の劣化をより確実に防止することができる。

【0069】第4の半導体記憶装置において、導電性バリア層は、窒化チタンアルミニウム (TiAlN)、チタンアルミニウム (TiAl)、窒化珪化チタン (TiSiN)、窒化タンタル (TaN)、窒化珪化タンタル (TaSiN)、窒化タンタルアルミニウム (TaAlN)、及びタンタルアルミニウム (TaAl) のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることが好ましい。

【0070】第4の半導体記憶装置において、第1の絶縁性バリア層又は第2の絶縁性バリア層が、酸化アルミニウム (Al_2O_3)、酸化チタンアルミニウム (TiAlO) 及び酸化タンタルアルミニウム (TaAlO) のうちの少なくとも1つを含むことが好ましい。

【0071】第4の半導体記憶装置において、第1の絶縁性バリア層が窒化シリコン (Si_3N_4) からなることが好ましい。

【0072】本発明に係る第3の半導体記憶装置の製造方法は、半導体基板上にゲート電極を形成した後、半導体基板におけるゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することによりトランジスタを形成する第1の工程と、トランジスタを含む半導体基板の上に層間絶縁膜を形成する第2の工程と、層間絶縁膜に、ソース領域又はドレイン領域と電気的に接続されるコンタクトプラグを形成する第3の工程と、層間絶縁膜の上に、酸素及び水素の拡散を防ぐ導電性バリアを含む第1の導電膜を形成する第4の工程と、第1の導電膜をコンタクトプラグと電気的に接続されるようにパターニングすることにより、層間絶縁膜の上に第1の導電膜から複数の下部電極を形成する第5の工程と、層間絶縁膜の上に複数の下部電極の上面及び側面を覆うように水素の拡散を防ぐ第1の絶縁性バリア層を形成する第6の工程と、第1の絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜及び第1の絶縁性バリア層に対して複数の下部電極を露出するように平坦化する第7の工程と、露出した複数の下部電極を含め平坦化した第1の絶縁膜及び第1の絶縁性バリア層の上の全面に、金属

酸化物からなる第2の絶縁膜を形成する第8の工程と、第2の絶縁膜の上に第2の導電膜を形成する第9の工程と、複数の下部電極により構成されるブロックを含むように、第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターンニングすることにより、ブロックを覆うように第2の導電膜から上部電極を形成し、第2の絶縁膜から容量絶縁膜を形成し、第1の絶縁膜から複数の下部電極同士の側方部分を埋める埋込み絶縁膜を形成する第10の工程と、ブロックにおいて、上部電極、容量絶縁膜及び埋込み絶縁膜を覆い、且つ第1の絶縁性バリア層とブロックの側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成する第11の工程とを備えている。

【0073】第3の半導体記憶装置の製造方法によると、層間絶縁膜の上に形成した複数の下部電極の側面を覆うように水素の拡散を防ぐ第1の絶縁性バリア層を形成する。続いて、第1の絶縁性バリア層の上に第1の絶縁膜を形成した後、ブロックを覆うように、上部電極、容量絶縁膜及び埋込み絶縁膜を形成する。さらに、ブロックにおいて、上部電極、容量絶縁膜及び埋込み絶縁膜を覆い且つ第1の絶縁性バリア層とブロックの側方で接するように第2の絶縁性バリア層を形成するため、プロセス中に発生する容量素子の特性の劣化を防止することができる。

【0074】本発明に係る第4の半導体記憶装置の製造方法は、半導体基板上にゲート電極を形成した後、半導体基板におけるゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することにより第1のトランジスタ及び第2のトランジスタを形成する第1の工程と、第1のトランジスタ及び第2のトランジスタを含む半導体基板上に層間絶縁膜を形成する第2の工程と、層間絶縁膜に、第1のトランジスタ及び第2のトランジスタの各ソース領域又はドレイン領域とそれぞれ電気的に接続される第1のコンタクトプラグ及び第2のコンタクトプラグを形成する第3の工程と、層間絶縁膜の上に、酸素及び水素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第4の工程と、第1の導電膜を第1のコンタクトプラグ及び第2のコンタクトプラグとそれぞれ電気的に接続されるようにパターンニングすることにより、層間絶縁膜の上に第1の導電膜から複数の下部電極を形成する第5の工程と、層間絶縁膜の上に複数の下部電極の上面及び側面を覆うように水素の拡散を防ぐ第1の絶縁性バリア層を形成する第6の工程と、第1の絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜及び第1の絶縁性バリア層に対して複数の下部電極を露出するように平坦化する第7の工程と、露出した複数の下部電極を含め平坦化した第1の絶縁膜及び第1の絶縁性バリア層の上面に、金属酸化物からなる第2の絶縁膜を形成する第8の工程と、複数の下部電極により構成されるブロック内において、第2の絶縁膜における第2のコンタクトプラグと接続された下部電極の上

側部分を除去する第9の工程と、第2の絶縁膜の上及び第2のコンタクトプラグと接続された下部電極の上に第2の導電膜を形成する第10の工程と、ブロックを含むように第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターンニングすることにより、ブロックを覆うように第2の導電膜から上部電極を形成し、第2の絶縁膜から容量絶縁膜を形成し、第1の絶縁膜から複数の下部電極同士の側方部分を埋める埋込み絶縁膜を形成する第11の工程と、ブロックにおいて、上部電極、容量絶縁膜及び埋込み絶縁膜を覆い、且つ第1の絶縁性バリア層とブロックの側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成する第12の工程とを備えている。

【0075】第4の半導体記憶装置の製造方法によると、前記第3の半導体記憶装置の製造方法の効果を得られる上に、複数の下部電極により構成されるブロック内において、容量絶縁膜となる第2の絶縁膜における第2のコンタクトプラグと接続された下部電極の上側部分を除去するため、第2の絶縁性バリア層に開口部を設けることなく、上部電極に第2のトランジスタから第2のコンタクトプラグを通して電圧を印加することができる。その結果、上部電極を覆う第2の絶縁性バリア層に対する開口及び配線プロセスが不要となり、水素にさらされることがなくなるので、容量素子の特性の劣化を防止することができる。

【0076】本発明に係る第5の半導体記憶装置の製造方法は、半導体基板上にゲート電極を形成した後、半導体基板におけるゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することによりトランジスタを形成する第1の工程と、トランジスタを含む半導体基板上に層間絶縁膜を形成する第2の工程と、層間絶縁膜の上に水素の拡散を防ぐ第1の絶縁性バリア層を形成する第3の工程と、層間絶縁膜及び第1の絶縁性バリア層に、ソース領域又はドレイン領域と電気的に接続されるコンタクトプラグを形成する第4の工程と、第1の絶縁性バリア層の上に、水素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第5の工程と、第1の導電膜をコンタクトプラグと電気的に接続されるようにパターンニングすることにより、第1の絶縁性バリア層の上に第1の導電膜から複数の下部電極を形成する第6の工程と、複数の下部電極の上を含む第1の絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜に対して複数の下部電極を露出するように平坦化する第7の工程と、露出した複数の下部電極の上を含む平坦化した第1の絶縁膜の上面に、金属酸化物からなる第2の絶縁膜を形成する第8の工程と、第2の絶縁膜の上に第2の導電膜を形成する第9の工程と、複数の下部電極により構成されるブロックを含むように、第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターンニングすることにより、ブロックを覆うように第2の導電膜から上部電極を形成し、第2の絶縁膜から容量絶縁膜を形成し、第1

の絶縁膜から複数の下部電極同士の側方部分を埋める埋込み絶縁膜を形成する第10の工程と、ブロックにおいて、上部電極、容量絶縁膜及び埋込み絶縁膜を覆い、且つ第1の絶縁性バリア層とブロックの側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成する第11の工程とを備えている。

【0077】第5の半導体記憶装置の製造方法によると、層間絶縁膜及びその上に水素の拡散を防ぐ第1の絶縁性バリア層を形成し、その後、層間絶縁膜及び第1の絶縁性バリア層にコンタクトプラグを形成する。続いて、複数の下部電極を形成した後、形成した複数の下部電極を含む第1の絶縁性バリア層の上に第1の絶縁膜を形成した後、ブロックを覆うように、上部電極、容量絶縁膜及び埋込み絶縁膜を形成する。さらに、ブロックにおいて、上部電極、容量絶縁膜及び埋込み絶縁膜を覆い且つ第1の絶縁性バリア層とブロックの側方で接するように第2の絶縁性バリア層を形成するため、プロセス中に発生する容量素子の特性の劣化を防止することができる。

【0078】本発明に係る第6の半導体記憶装置の製造方法は、半導体基板上にゲート電極を形成した後、半導体基板におけるゲート電極の側方にそれぞれソース領域及びドレイン領域を形成することにより第1のトランジスタ及び第2のトランジスタを形成する第1の工程と、第1のトランジスタ及び第2のトランジスタを含む半導体基板の上に層間絶縁膜を形成する第2の工程と、層間絶縁膜の上に水素の拡散を防ぐ第1の絶縁性バリア層を形成する第3の工程と、層間絶縁膜及び第1の絶縁性バリア層に、ソース領域又はドレイン領域とそれぞれ電気的に接続される第1のコンタクトプラグ及び第2のコンタクトプラグを形成する第4の工程と、第1の絶縁性バリア層の上に、水素の拡散を防ぐ導電性バリア層を含む第1の導電膜を形成する第5の工程と、第1の導電膜を第1のコンタクトプラグ及び第2のコンタクトプラグとそれぞれ電気的に接続されるようにパターニングすることにより、第1の絶縁性バリア層の上に第1の導電膜から複数の下部電極を形成する第6の工程と、複数の下部電極の上を含む第1の絶縁性バリア層の上に第1の絶縁膜を形成した後、該第1の絶縁膜に対して複数の下部電極を露出するように平坦化する第7の工程と、露出した複数の下部電極の上を含む平坦化した第1の絶縁膜の上の全面に、金属酸化物からなる第2の絶縁膜を形成する第8の工程と、複数の下部電極により構成されるブロック内において、第2の絶縁膜における第2のコンタクトプラグと接続された下部電極の上側部分を除去する第9の工程と、第2の絶縁膜の上及び第2のコンタクトプラグと接続された下部電極の上に第2の導電膜を形成する第10の工程と、ブロックを含むように第2の導電膜、第2の絶縁膜及び第1の絶縁膜をパターニングすることにより、ブロックを覆うように第2の導電膜から上部電

極を形成し、第2の絶縁膜から容量絶縁膜を形成し、第1の絶縁膜から複数の下部電極の側方部分を埋める埋込み絶縁膜を形成する第11の工程と、ブロックにおいて、上部電極、容量絶縁膜及び埋込み絶縁膜を覆い、且つ第1の絶縁性バリア層とブロックの側方で接するように、水素の拡散を防ぐ第2の絶縁性バリア層を形成する第12の工程とを備えている。

【0079】第6の半導体記憶装置の製造方法によると、前記第5の半導体記憶装置の製造方法の効果を得られる上に、複数の下部電極により構成されるブロック内において、容量絶縁膜となる第2の絶縁膜における第2のコンタクトプラグと接続された下部電極の上側部分を除去するため、第2の絶縁性バリア層に開口部を設けることなく、上部電極に第2のトランジスタから第2のコンタクトプラグを通して電圧を印加することができる。その結果、上部電極を覆う第2の絶縁性バリア層に対する開口及び配線プロセスが不要となり、水素にさらされることがなくなるので、容量素子の特性の劣化を防止することができる。

【0080】第3又は第5の半導体記憶装置の製造方法において、第10の工程が、第1の絶縁膜のパターニングの後に、第1の絶縁性バリア層に対して第1の絶縁膜と同一形状のパターニングを行なう工程を含むことが好ましい。

【0081】第4又は第6の半導体記憶装置の製造方法において、第11の工程が、第1の絶縁膜のパターニングの後に、第1の絶縁性バリア層に対して第1の絶縁膜と同一形状のパターニングを行なう工程を含むことが好ましい。

【0082】

【発明の実施の形態】(第1の実施形態) 本発明の第1の実施形態について図面を参照しながら説明する。

【0083】図1(a)は本発明の第1の実施形態に係る容量素子を含む半導体記憶装置の要部の断面構成を示している。

【0084】図1(a)に示すように、第1の実施形態に係る半導体記憶装置は、例えばシリコン(Si)からなる半導体基板11に形成されたMOSFETからなる複数のセルトランジスタ20と、各セルトランジスタ20を覆う層間絶縁膜13の上にセルトランジスタ20ごとに形成された容量素子30とを有している。各セルトランジスタ20は半導体基板11の上部に形成されたシャロウトレンチ分離(STI)12により区画されて互いに絶縁されている。

【0085】各セルトランジスタ20は、半導体基板11に形成されたソースドレイン領域21と、半導体基板11のチャネル領域上にゲート絶縁膜22を介して形成されたゲート電極23とから構成されている。

【0086】各容量素子30は、基板側から順次積層された、下部電極31、容量絶縁膜32及び上部電極33

とにより構成されている。

【0087】下部電極31は、図1(b)に示すように、膜厚が40nm～100nm程度の窒化チタンアルミニウム(TiAlN)からなり酸素及び水素の拡散を防ぐ第1の導電性バリア層31a、膜厚が50nm～100nm程度のイリジウム(Ir)からなり酸素の拡散を防ぐ第2の導電性バリア層31b、膜厚が50nm～100nm程度の二酸化イリジウム(IrO₂)からなり酸素の拡散を防ぐ第3の導電性バリア層31c、及び膜厚が50nm～100nm程度の白金(Pt)からなる導電層31dの積層膜により構成されている。

【0088】容量絶縁膜32は、膜厚が50nm～150nm程度のビスマス層状ペロブスカイト構造を持つタンタルニオブ酸ストロンチウムビスマス(SrBi₂(Ta_{1-x}Nb_x)₂O₉) (但し、xは0≤x≤1)からなり、上部電極33は膜厚が50nm～100nm程度の白金からなる。

【0089】図1(a)に示すように、半導体基板11上には、各セルトランジスタ20を覆うように、例えば酸化シリコン(SiO₂)からなる層間絶縁膜13が形成され、該層間絶縁膜13には、下端部が各ソースドレイン領域21のいずれか一方と電気的に接続され、上端部が各容量素子30の下部電極31と電気的に接続されたタングステン(W)又はポリシリコンからなる複数のコンタクトプラグ14が形成されている。

【0090】下部電極31の側面及び層間絶縁膜13上における下部電極31の側方の領域は、例えば膜厚が5nm～100nm程度の酸化アルミニウム(Al₂O₃)からなり酸素及び水素の拡散を防ぐ第1の絶縁性バリア層15により覆われている。

【0091】ここで、下部電極31における基板面方向の径は、容量絶縁膜32及び上部電極33の基板面方向の径の寸法よりも小さく、従って、容量絶縁膜32及び上部電極33の周縁部は下部電極31の周縁部から張り出している。

【0092】下部電極31における側方で且つ容量絶縁膜32の張り出し部分の下側の領域は、酸化シリコン(SiO₂)又は窒化シリコン(Si₃N₄)からなる埋込み絶縁膜16により埋め込まれている。

【0093】埋込み絶縁膜16は、互いに隣接する下部電極31同士を電気的に絶縁し、その表面は下部電極31の表面とほぼ同等の高さとなるように平坦化されている。

【0094】なお、容量絶縁膜32、上部電極33及び埋込み絶縁膜16はそれぞれ同一のマスクによりエッチングされて形成されており、一方、第1の絶縁性バリア層15は、上部電極33及び容量絶縁膜32等とは異なるマスクによりエッチングされている。

【0095】上部電極33の上面並びに該上部電極33、容量絶縁膜32及び埋込み絶縁膜16の各側面は、

例えば膜厚が5nm～100nm程度の酸化アルミニウムからなり水素の拡散を防ぐ第2の絶縁性バリア層17により覆われている。このとき、第2の絶縁性バリア層17は、下部電極31の側方の領域、すなわち埋込み絶縁膜16の下部側方の領域で絶縁性バリア層15の上面と接している。その結果、下部電極31はその側面が酸素及び水素の拡散を防ぐ第1の絶縁性バリア層15により覆われる。また、上部電極33、容量絶縁膜32及び埋込み絶縁膜16は、酸素及び水素の拡散を防ぐ第1の絶縁性バリア層15と水素の拡散を防ぐ第2の絶縁性バリア層17とにより隙間なく覆われる。

【0096】なお、ここでは、第1の絶縁性バリア層15及び第2の絶縁性バリア層17は、容量素子30以外の領域、例えばソースドレイン領域21へのコンタクトホールを形成する領域には設けていない。

【0097】以下、前記のように構成された容量素子を含む半導体記憶装置の製造方法について説明する。

【0098】図2(a)～図2(c)及び図3(a)、図3(b)は本発明の第1の実施形態に係る半導体記憶装置の製造方法の工程順の断面構成を示している。

【0099】まず、図2(a)に示すように、シリコンからなる半導体基板11上に、ゲート絶縁膜22及びゲート電極23を形成し、さらにゲート絶縁膜22及びゲート電極23の側面上にサイドウォール絶縁膜24を形成する。続いて、ゲート電極23及びサイドウォール絶縁膜24をマスクとして半導体基板11に対して不純物注入を行なって、ソースドレイン領域21を形成する。ここで、サイドウォール絶縁膜24を形成する前にも不純物注入を行なうと、ソースドレイン領域21をLDD構造又はエクステンション構造を持つ構成とすることができる。その後、CVD法により、半導体基板11上に、複数のセルトランジスタ20を含む全面にわたって酸化シリコンからなる層間絶縁膜13を堆積する。続いて、堆積した層間絶縁膜13の上面を化学機械的研磨(CMP)法等を用いて平坦化する。続いて、リソグラフィ法及びドライエッチング法により、層間絶縁膜13における各セルトランジスタ20のソースドレイン領域21の一方にコンタクトホールをそれぞれ形成し、CVD法により、タングステン又はポリシリコンからなる導体膜を各コンタクトホールに充填されるように堆積する。続いて、堆積した導体膜に対してエッチバック又は化学機械的研磨を行なって、層間絶縁膜13上の導体膜を除去することにより、複数のコンタクトプラグ14を形成する。

【0100】次に、複数のコンタクトプラグ14を含む層間絶縁膜13上に、例えばスパッタリング法により、酸素及び水素の拡散を防ぐ窒化チタンアルミニウムからなる第1の導電性バリア層、酸素の拡散を防ぐイリジウムからなる第2の導電性バリア層、酸素の拡散を防ぐ二酸化イリジウムからなる第3の導電性バリア層、及び白

金からなる導電層を順次堆積して下部電極形成膜を成膜する。続いて、リソグラフィ法及びドライエッチング法により、下部電極形成膜に対してコンタクトプラグ14を含むようにパターニングを行なって、下部電極形成膜からなる複数の下部電極31を形成する。その後、スパッタ法又はCVD法により、層間絶縁膜13上に下部電極31の上面及び側面を覆うように、膜厚が5nm~100nm程度の酸化アルミニウムからなり酸素及び水素の拡散を防ぐ第1の絶縁性バリア層15を成膜する。ここで、第1の絶縁性バリア層15の成膜後に、酸性雰囲気中で熱処理を行なうと、第1の絶縁性バリア層15を構成する酸化アルミニウムが緻密化されるため好ましい。続いて、例えばモノシラン(SiH_4)を原料とする、水素を含む雰囲気でのCVD法により、第1の絶縁性バリア層15を覆うように、膜厚が400nm~600nm程度の酸化シリコン又は窒化シリコンからなる埋込み絶縁膜16を堆積する。

【0101】次に、図2(b)に示すように、CMP法を用いて、埋込み絶縁膜16及び第1の絶縁性バリア層15に対して各下部電極31が露出するまで平坦化することにより、各下部電極31の周囲を埋込み絶縁膜16により埋め込む。従って、下部電極31の上面は埋込み絶縁膜16及び第1の絶縁性バリア層15の露出面とほぼ同一の高さとなる。

【0102】次に、図2(c)に示すように、有機金属分解法(MOD法)、有機金属化学気相堆積法(MOCVD法)又はスパッタリング法により、第1の絶縁性バリア層15、埋込み絶縁膜16及び下部電極31の上に全面にわたって、膜厚が50nm~150nm程度のビスマス層状ペロブスカイト構造を持つタンタルニオブ酸ストロンチウムビスマス($\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$)からなる容量絶縁膜形成膜32Aを成膜する。続いて、スパッタリング法により、容量絶縁膜形成膜32Aの上に膜厚が50nm~100nm程度の白金からなる上部電極形成膜33Aを成膜する。その後、温度が650℃~800℃程度の酸素雰囲気中で熱処理を行なって、容量絶縁膜形成膜32Aを構成する金属酸化物を結晶化する。

【0103】次に、図3(a)に示すように、リソグラフィ法により、上部電極形成膜33Aの上にレジストパターン(図示せず)を形成し、形成したレジストパターンをマスクとして、上部電極形成膜33A、容量絶縁膜形成膜32A及び埋込み絶縁膜16に対して順次ドライエッチングを行なって、上部電極形成膜33Aから上部電極33を形成し、容量絶縁膜形成膜32Aから容量絶縁膜32を形成する。これにより、コンタクトプラグ14と電気的に接続される下部電極31と容量絶縁膜32と上部電極33とからなる容量素子30が形成される。

【0104】ここでは、第1の絶縁性バリア層15に対するパターニングは行わず、埋込み絶縁膜16のエッ

チング時に第1の絶縁性バリア層15が露出した時点でエッチングを終了する。

【0105】次に、図3(b)に示すように、CVD法又はスパッタ法により、第1の絶縁性バリア層15の上に、上部電極33の上面及び側面、並びに容量絶縁膜32及び埋込み絶縁膜16の側面を覆うように、膜厚が5nm~100nm程度の酸化アルミニウムからなり水素の拡散を防ぐ第2の絶縁性バリア層17を成膜する。これにより、第2の絶縁性バリア層17は、下部電極31の側方の領域において、ここでは埋込み絶縁膜16の下部側方において第1の絶縁性バリア層15の上面と隙間なく接することになる。

【0106】なお、第1の絶縁性バリア層15及び第2の絶縁性バリア層17における容量素子30を除く領域、例えばソースドレイン領域21と他のコンタクトホールを形成する領域は、エッチングにより除去している。

【0107】以上説明したように、第1の実施形態によると、酸素及び水素の拡散を防ぐ第1の絶縁性バリア層15が容量素子30の下部電極31の側面を覆うため、下部電極31を構成する酸素バリアである酸化イリジウム等の導電性酸化物が水素により還元されてその酸素バリア性が劣化することを防止できる。

【0108】さらに、水素の拡散を防ぐ第2の絶縁性バリア層17が容量素子30全体を酸素及び水素の拡散を防ぐ第1の絶縁性バリア層15と接することにより隙間なく覆うため、容量絶縁膜32を構成する金属酸化物が水素により還元されて容量素子30の電気特性が劣化することを防止できる。

【0109】以下、第1の実施形態に係る半導体記憶装置と従来例に係る半導体記憶装置の電気的特性を比較する。

【0110】まず、コンタクトプラグ14と下部電極31とのコンタクト抵抗の評価結果を示す。

【0111】図4は径が約20.3cm(8インチ相当)のシリコンウエハにおける面内でのコンタクト抵抗の第1の実施形態と従来例との測定結果である。図4に示すように、従来例に係る半導体記憶装置の場合には、コンタクト抵抗が45Ω~7000Ωにまで大きくばらついている。これは、従来例に係る下部電極110の酸素バリアとなる導電性酸化物である二酸化イリジウムが水素により還元されて酸素バリア性が劣化してしまい、高誘電体や強誘電体の結晶化に必要な高温酸素アニール時に、酸素が下部電極110の内部を拡散してコンタクトプラグ107の表面が酸化するためである。一方、第1の実施形態に係る半導体記憶装置の場合には、ウエハ面内でコンタクト抵抗が25Ω~35Ωの範囲にあり、ばらつきが極めて小さく且つその抵抗値も25Ω~40Ωと低抵抗化を実現できていることが分かる。

【0112】次に、第1の実施形態に係る半導体記憶装

置における耐還元性の評価結果を示す。

【0113】図5は評価用であって、容量素子30に対する400℃の水素アニール処理を行なう前後の、該容量素子30のそれぞれの残留分極(2Pr)値を表わしている。図5に示すように、第1の実施形態に係る容量素子30は、水素アニール処理を行なっても、残留分極特性がほとんど変化せず、水素による還元が十分に防止できていることが分かる。このように、第1の実施形態に係る容量素子及び半導体記憶装置は電気的特性が著しく向上する。

【0114】(第1の実施形態の変形例)図6(a)～図6(c)は本発明の第1の実施形態に係る半導体記憶装置の第1～第3変形例であって、下部電極とその側面を覆う第1の絶縁性バリア層の近傍との断面構成を示している。ここで、図6(a)～図6(c)において、図1(a)に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0115】まず、図6(a)の第1変形例に示すように、第1の絶縁性バリア層15における下部電極31の側面を覆う上端部は、必ずしも下部電極31の側面全体を覆う必要はなく、少なくとも、導電性金属酸化物である二酸化イリジウムからなる第3の導電性バリア層31cの側面を覆うように形成すれば良い。

【0116】また、この場合の埋込み絶縁膜16の上端の高さは、図6(a)の第1変形例に示すように、第1の絶縁性バリア層15の上端と同一でもよく、また、図6(b)の第2変形例に示すように、下部電極31の導電層31dの上端と同一でもよく、また、図6(c)の第3変形例に示すように、第1の絶縁性バリア層15の上端よりも低くなるように形成されていてもよい。

【0117】(第2の実施形態)以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0118】図7は本発明の第2の実施形態に係る容量素子を含む半導体記憶装置の要部の断面構成を示している。図7において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0119】図7に示すように、第2の実施形態においては、第2の絶縁性バリア層17が層間絶縁膜13の上に直接に形成されており、第1の絶縁性バリア層15Aは、ゲート長方向に隣接する容量素子30同士の間で分割されている。

【0120】図8(a)及び図8(b)は第2の実施形態に係る半導体記憶装置の製造方法の要部の工程を示している。

【0121】ここでは第1の実施形態との相違点のみを説明する。

【0122】第1の実施形態においては、図3(a)に示すように、容量素子30を構成する容量絶縁膜32、上部電極33及び下部電極31を埋め込む埋込み絶縁膜16のパターニングを同一のマスクを用いて行なう際

に、第1の絶縁性バリア層15に対するパターニングを行なわない。

【0123】一方、図7及び図8(a)に示すように、第2の実施形態に係る半導体記憶装置においては、上部電極33及び容量絶縁膜32等をパターニングするエッチング工程において、上部電極33と同一のマスクを用いて、埋込み絶縁膜16のエッチングを行なった後、第1の絶縁性バリア層15に対してエッチングを行なって第1の絶縁性バリア層15Aとする。このとき、酸化シリコン又は窒化シリコンからなる埋込み絶縁膜16に対するエッチングには、フロロカーบอนを主成分とするエッチングガスを用い、酸化アルミニウムからなる第1の絶縁性バリア層15Aに対するエッチングには、塩素ガスを主成分とするエッチングガスを用いる。

【0124】次に、図8(b)に示すように、その後工程である、水素の拡散を防ぐ第2の絶縁性バリア層17の成膜工程において、第2の絶縁性バリア層17は、下部電極31の側方であって、埋込み絶縁膜16の下側に位置する第1の絶縁性バリア層15の端面と接するようになる。

【0125】なお、第2の実施形態においても、第1の絶縁性バリア層15A及び第2の絶縁性バリア層17における容量素子30を除く領域、例えばソースドレイン領域21と他のコンタクトホールを形成する領域は、エッチングにより除去している。

【0126】以上説明したように、第2の実施形態によると、第1の実施形態と同様に、酸素及び水素の拡散を防ぐ第1の絶縁性バリア層15Aが容量素子30の下部電極31の側面を覆うため、下部電極31を構成する酸素バリアである酸化イリジウム等の導電性酸化物が水素により還元されてその酸素バリア性が劣化することを防止できる。

【0127】さらに、水素の拡散を防ぐ第2の絶縁性バリア層17が容量素子30全体を酸素及び水素の拡散を防ぐ第1の絶縁性バリア層15Aと接することにより隙間なく覆うため、容量絶縁膜32を構成する金属酸化物が水素により還元されて容量素子30の電気特性が劣化することを防止できる。その結果、第2の実施形態においても、図4及び図5に示した測定結果と同様の、優れた電気的特性を有する容量素子30を含む半導体記憶装置を実現することができる。

【0128】また、第2の実施形態は、以下に示すように他の効果をも有している。

【0129】すなわち、層間絶縁膜13上の容量素子30以外の領域に形成された絶縁性バリア層15、17を除去する工程において、第1の実施形態においては、第2の絶縁性バリア層17と第1の絶縁性バリア層15との2層に対してエッチングを行なう必要がある。一方、第2の実施形態においては、第2の絶縁性バリア層17のみをエッチングすれば済むため、エッチング時間を大

幅に短縮することができる。その上、層間絶縁膜13上において、容量素子30を設ける部分と設けない部分とにより段差が生じるものの、エッチング時間が短縮されることにより、容量素子30の上側でレジストパターンの膜厚が薄くなる部分でも、エッチング中にレジストが消失しにくくなり、プロセスマージンを拡大することができる。

【0130】(第3の実施形態)以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0131】図9(a)～図9(c)は本発明の第3の実施形態に係る半導体記憶装置であって、図9(a)はメモリセルアレイを構成する複数のセルからなるセルブロックの平面構成を示し、図9(b)は図9(a)のIXb-IXb線における断面構成を示し、図9(c)は図9(a)のIXc-IXc線における断面構成を示している。また、これら図9(a)～図9(c)において、図7に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0132】図9(a)に示すように、半導体基板11の主面上には、セルトランジスタ20のゲート電極(ワード線)23に沿って、例えば 2^n 又は $(2^n + 1)$ 個(但し、 n は3以上の整数である)の下部電極31を含むセルブロック50が配置されている。容量素子30の容量絶縁膜32及び上部電極33は、セルブロック50ごとに、該セルブロック50に含まれる複数の下部電極31を覆うように形成されている。

【0133】また、図9(a)及び図9(c)に示すように、第2の絶縁性バリア層17は、互いに隣接する2つのセルブロック50を覆うと共に、そのゲート電極23が延びる方向の側部が層間絶縁膜13と接している。さらに、図9(b)に示すように、第2の絶縁性バリア層17は、第2の実施形態と同様に、各セルブロック50におけるゲート電極23と交差する方向、すなわちゲート長方向側の側部が層間絶縁膜13と接している。

【0134】これにより、容量素子30における下部電極31はその側面が第1の絶縁性バリア層15Aにより覆われると共に、該下部電極31を埋め込む埋込み絶縁膜16の側面を含め、容量素子の上部電極33の上面及び側面並びに容量絶縁膜32の側面が第2の絶縁性バリア層17によって、セルブロック単位(ここでは2ブロック単位)で覆われている。このとき、第2の絶縁性バリア層17は、埋込み絶縁膜16の下側に位置する第1の絶縁性バリア層15Aとはその端面で接している。

【0135】その上、図9(a)及び図9(c)に示すように、各セルブロック50の容量絶縁膜32に対して、上部電極33が複数の下部電極31のうちのいずれか1つと電気的に接続されるように開口部32aを設け、この開口部32aに上部電極33の一部が充填されることにより上部電極プラグ33aが形成されている。ここでは、一例としてそれぞれ右端に位置する下部電極

31を上部電極接続用電極31Aとしており、これにより、セルトランジスタ20のソースドレイン領域21からコンタクトプラグ14、上部電極接続用電極31A及び上部電極プラグ33aを介して上部電極33に所定の電圧を印加することが可能となる。

【0136】このように、容量素子30の下部電極31とコンタクトプラグ(第1のコンタクトプラグ)14を介して電気的に接続されるセルトランジスタ(第1のトランジスタ)20とは異なり、上部電極接続用電極31Aは容量素子30を構成しない。従って、上部電極接続用電極31Aとコンタクトプラグ(第2のコンタクトプラグ)14を介して電気的に接続されるセルトランジスタ(第2のトランジスタ)20は、第1のトランジスタとはその動作が異なる。

【0137】このように、第3の実施形態においては、セルトランジスタ20を介して上部電極33に動作電圧を印加することができるため、上部電極33の上面、すなわち第2の絶縁性バリア層17に対してコンタクトホールを開口する必要がない。このため、セルブロック50を覆う第2の絶縁性バリア層17に開口部を設ける必要がなくなるので、開口後のレジストのアッシング処理、プラグの充填処理及び配線処理が不要となる。その結果、第2の絶縁性バリア層17の形成後には、容量素子30が水素にさらされることがなくなるので、容量素子30の特性の劣化を防止することができる。

【0138】なお、第3の実施形態においては、第2の絶縁性バリア層17が2つのセルブロック50を覆う構成としたが、これに限られず、1つ以上のセルブロック50を覆う構成であればよい。

【0139】また、上部電極33とセルトランジスタ20との電気的な接続には、必ずしも上部電極接続用電極31Aを介在させる必要はなく、上部電極プラグ33aとコンタクトプラグ14とが直接に接続されていても良いが、セルブロック50に含まれるすべての容量素子30が同一の構造を有することから、下部電極31と同一構造の上部電極接続用電極31Aを介在させる方が、プロセスが簡単化されるため好ましい。

【0140】以下、前記のように構成された容量素子及び上部電極接続用電極を含む半導体記憶装置の製造方法について図面を参照しながら説明する。

【0141】図10(a)～図10(c)及び図11(a)、図11(b)は本発明の第3の実施形態に係る半導体記憶装置の製造方法であって、図9(a)のIXc-IXc線における工程順の断面構成を示している。

【0142】まず、シリコンからなる半導体基板11上に、図9(b)に示したゲート絶縁膜22、ゲート電極23及びサイドウォール絶縁膜24を選択的に形成し、続いて、半導体基板11におけるゲート電極23の両側方の領域にソースドレイン領域21を形成することにより、複数のセルトランジスタ20を形成する。

【0143】次に、図10(a)に示すように、CVD法により、半導体基板11の上に複数のセルトランジスタ20を含む全面にわたって、例えばBPSG等の酸化シリコンからなる層間絶縁膜13を堆積する。続いて、堆積した層間絶縁膜13の上面をCMP法等により平坦化する。続いて、リソグラフィ法及びドライエッチング法により、層間絶縁膜13における各セルトランジスタ20のソースドレイン領域21の一方にコンタクトホールをそれぞれ形成し、CVD法により、タングステン又はポリシリコンからなる導体膜を各コンタクトホールに充填されるように堆積する。続いて、堆積した導体膜に対してエッチバック法又はCMP法によって層間絶縁膜13上の導体膜を除去することにより、複数のコンタクトプラグ14を形成する。次に、形成したコンタクトプラグ14を含む層間絶縁膜13の上に、例えばスパッタリング法により、酸素及び水素の拡散を防ぐ窒化チタンアルミニウムからなる第1の導電性バリア層31a、酸素の拡散を防ぐイリジウムからなる第2の導電性バリア層、酸素の拡散を防ぐ二酸化イリジウムからなる第3の導電性バリア層、及び白金からなる導電層を順次堆積して下部電極形成膜を成膜する。ここで、酸素及び水素の拡散を防ぐ第1の導電性バリア層31aの膜厚は40nm～100nm程度とし、酸素の拡散を防ぐ第2の導電性バリア層31b及び第2の導電性バリア層31b、並びに導電層の膜厚はそれぞれ50nm～100nm程度としている。続いて、リソグラフィ法及びドライエッチング法により、下部電極形成膜に対してコンタクトプラグ14を含むようにパターニングを行なって、下部電極形成膜からなる複数の下部電極31を形成する。その後、スパッタ法又はCVD法により、層間絶縁膜13の上に下部電極31の上面及び側面を覆うように、膜厚が20nm～200nm程度の酸化アルミニウムからなり酸素及び水素の拡散を防ぐ第1の絶縁性バリア層15を成膜する。ここで、第1の絶縁性バリア層15の成膜後に、酸性雰囲気中で熱処理を行なうと、第1の絶縁性バリア層15を構成する酸化アルミニウムが緻密化されるため好ましい。続いて、例えばモノシランを原料とする、水素を含む雰囲気でのCVD法により、第1の絶縁性バリア層15を覆うように、膜厚が400nm～600nm程度の酸化シリコン又は窒化シリコンからなる埋込み絶縁膜16を堆積する。

【0144】次に、図10(b)に示すように、CMP法を用いて、埋込み絶縁膜16及び第1の絶縁性バリア層15に対して下部電極31が露出するまで平坦化することにより、各下部電極31の周囲を埋込み絶縁膜16により埋め込む。従って、下部電極31の上面は埋込み絶縁膜16及び第1の絶縁性バリア層15の露出面とほぼ同一の高さとなる。

【0145】次に、図10(c)に示すように、MOD法、MOCVD法又はスパッタリング法により、第1の

絶縁性バリア層15、埋込み絶縁膜16及び下部電極31の上に全面にわたって、膜厚が50nm～150nm程度のビスマス層状ペロブスカイト構造を持つタンタルニオブ酸ストロンチウムビスマス($\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$)からなる容量絶縁膜形成膜32Aを成膜する。続いて、リソグラフィ法及びドライエッチング法により、成膜した容量絶縁膜形成膜32Aにおける上部電極接続用電極31Aの上側部分を選択的に除去する。これにより、容量絶縁膜形成膜32Aに開口部32aが形成され、形成された開口部32aから上部電極接続用電極31Aが露出する。続いて、スパッタリング法により、容量絶縁膜形成膜32Aの上に開口部32aを充填するように、膜厚が50nm～150nm程度の白金からなる上部電極形成膜33Aを成膜する。これにより、開口部32aには白金が充填されて上部電極プラグ33aが形成され、この上部電極プラグ33aによって上部電極接続用電極31Aと上部電極33とが電気的に接続される。その後、温度が650℃～800℃程度の酸素雰囲気中で熱処理を行なって、容量絶縁膜形成膜32Aを構成する金属酸化物を結晶化する。

【0146】次に、図11(a)に示すように、各セルブロック50をマスクするレジストマスク(図示せず)を用いて、上部電極形成膜33A、容量絶縁膜形成膜32A、埋込み絶縁膜16、及び第1の絶縁性バリア層15に対して順次ドライエッチングを行なって、上部電極形成膜33Aから上部電極33を形成し、容量絶縁膜形成膜32Aから容量絶縁膜32を形成する。このとき、第1の絶縁性バリア層15がパターニングされてなる第1の絶縁性バリア層15Aが得られる。

【0147】次に、図11(b)に示すように、CVD法又はスパッタ法により、層間絶縁膜13の上に、それぞれセルブロック50ごとにパターニングされた、上部電極33の上面及び側面、容量絶縁膜32及び埋込み絶縁膜16の側面、並びに第1の絶縁性バリア層15Aの端面を覆うように全面にわたって、膜厚が5nm～100nm程度の酸化アルミニウムからなり水素の拡散を防ぐ第2の絶縁性バリア層17を成膜する。これにより、第2の絶縁性バリア層17は、セルブロック50の周囲において、埋込み絶縁膜16の下側に位置する第1の絶縁性バリア層15Aの端面と接する構成を得る。続いて、図9(a)に示すように、成膜した第2の絶縁性バリア層17に対して、互いに隣接する2つのセルブロック50を含むように、ドライエッチング法によりパターニングを行なう。但し、この第2の絶縁性バリア層17に対するパターニングは必ずしも行なう必要はない。

【0148】第3の実施形態に係る製造方法の一変形例として、第1の実施形態に係る製造方法と同様に、図11(a)に示した、上部電極33及び容量絶縁膜32等をセルブロック50ごとにパターニングする工程において、第1の絶縁性バリア層15に対してはパターニング

を行わず、図11(b)に示した後工程で、第2の絶縁性バリア層17と連続して第1の絶縁性バリア層15をパターンニングしてもよい。

【0149】(第4の実施形態)以下、本発明の第4の実施形態について図面を参照しながら説明する。

【0150】図12(a)～図12(c)は本発明の第4の実施形態に係る半導体記憶装置であって、図12(a)はメモリセルアレイを構成する複数のセルからなるセルブロックの平面構成を示し、図12(b)は図12(a)のXIIb-XIIb線における断面構成を示し、図12(c)は図12(a)のXIIc-XIIc線における断面構成を示している。また、これら図12(a)～図12(c)において、図9(a)～図9(c)に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0151】図12(b)及び図12(c)に示すように、第4の実施形態に係る第1の絶縁性バリア層45は、層間絶縁膜13の上にのみ形成されており、従って、コンタクトプラグ14は層間絶縁膜13及び第1の絶縁性バリア層45を貫通して形成されている。さらに、容量素子30の下部電極31を構成する第1の導電性バリア層31aは、第1の絶縁性バリア層45の上に形成されている。

【0152】ここで、酸素及び水素の拡散を防ぐ第1の絶縁性バリア層45は、第1～第3の実施形態と同様に、酸化アルミニウム、酸化チタンアルミニウム又は酸化タンタルアルミニウムを用いることが好ましく、さらには、窒化シリコン(Si_3N_4)又は酸窒化シリコン(SiON)を用いることが好ましい。窒化シリコン又は酸窒化シリコンを用いると、コンタクトプラグ14の形成時のコンタクトホール形成が、酸化アルミニウム等と比べて容易となる。

【0153】また、図12(a)に示すように、第2の絶縁性バリア層17は、互いに隣接する2つのセルブロック50を覆うように形成されている。さらに、図12(b)に示すように、第2の絶縁性バリア層17は、各セルブロック50におけるゲート電極23と交差する方向において層間絶縁膜13と接している。これにより、容量素子30における下部電極31は、該下部電極31を埋め込む埋込み絶縁膜16の側面を含め、容量素子の上部電極33の上面及び側面並びに容量絶縁膜32の側面が第2の絶縁性バリア層17によって、セルブロック単位(ここでは2ブロック単位)で覆われている。このとき、第2の絶縁性バリア層17は、埋込み絶縁膜16の下側に位置する第1の絶縁性バリア層15とはその端面で接している。

【0154】さらに、第3の実施形態と同様に、上部電極33が複数の下部電極31のうちのいずれか1つと電気的に接続されるように開口部32aを設け、この開口部32aに上部電極33の一部が充填されることにより

上部電極プラグ33aが形成されている。このため、セルブロック50の上面及び側面を覆う第2の絶縁性バリア層17を開口することなく、セルトランジスタ20を介して上部電極33に動作電圧を印加することができる。従って、開口後のレジストのアッシング処理、プラグの充填処理及び配線処理が不要となるため、第2の絶縁性バリア層17の形成後には、容量素子30が水素にさらされることがなくなるので、容量素子30の特性の劣化を防止することができる。

【0155】なお、第4の実施形態においても、第3の実施形態と同様に、第2の絶縁性バリア層17が2つのセルブロック50を覆う構成としたが、これに限られず、1つ以上のセルブロック50を覆う構成であればよい。

【0156】また、上部電極33とセルトランジスタ20との電気的な接続には、必ずしも上部電極接続用電極31Aを介在させる必要はない。

【0157】以下、前記のように構成された容量素子及び上部電極接続用電極を含む半導体記憶装置の製造方法について図面を参照しながら説明する。

【0158】図13(a)～図13(c)及び図14(a)、図14(b)は本発明の第4の実施形態に係る半導体記憶装置の製造方法であって、図12(a)のXIIc-XIIc線における工程順の断面構成を示している。

【0159】まず、シリコンからなる半導体基板11上に、図12(b)に示したゲート絶縁膜22、ゲート電極23及びサイドウォール絶縁膜24を選択的に形成し、続いて、半導体基板11におけるゲート電極23の両側方の領域にソースドレイン領域21を形成することにより、複数のセルトランジスタ20を形成する。

【0160】次に、図13(a)に示すように、CVD法により、半導体基板11の上に複数のセルトランジスタ20を含む全面にわたって、例えばBPSG等の酸化シリコンからなる層間絶縁膜13を堆積する。続いて、堆積した層間絶縁膜13の上面をCMP法等により平坦化し、その後、CVD法又はスパッタリング法により、膜厚が20nm～200nm程度の、例えば窒化シリコン又は酸化アルミニウムからなり、酸素及び水素の拡散を防ぐ第1の絶縁性バリア層45を成膜する。続いて、リソグラフィ法及びドライエッチング法により、層間絶縁膜13及び第1の絶縁性バリア層45における各セルトランジスタ20のソースドレイン領域21の一方にコンタクトホールをそれぞれ形成し、CVD法により、タングステン又はポリシリコンからなる導体膜を各コンタクトホールに充填されるように堆積する。続いて、堆積した導体膜に対してエッチバック法又はCMP法によって層間絶縁膜13上の導体膜を除去することにより、複数のコンタクトプラグ14を形成する。その後、形成したコンタクトプラグ14を含む層間絶縁膜13の上に、

例えばスパッタリング法により、酸素及び水素の拡散を防ぐ窒化チタンアルミニウムからなる第1の導電性バリア層31a、酸素の拡散を防ぐイリジウムからなる第2の導電性バリア層、酸素の拡散を防ぐ二酸化イリジウムからなる第3の導電性バリア層、及び白金からなる導電層を順次堆積して下部電極形成膜を成膜する。ここで、酸素及び水素の拡散を防ぐ第1の導電性バリア層31aの膜厚は40nm～100nm程度とし、酸素の拡散を防ぐ第2の導電性バリア層31b及び第2の導電性バリア層31b、並びに導電層の膜厚はそれぞれ50nm～100nm程度としている。続いて、リソグラフィ法及びドライエッチング法により、下部電極形成膜に対してコンタクトプラグ14を含むようにパターニングを行なって、下部電極形成膜からなる複数の下部電極31を形成する。続いて、例えばモノシランを原料とする、水素を含む雰囲気でのCVD法により、複数の下部電極31を覆うように、膜厚が400nm～600nm程度の酸化シリコン又は窒化シリコンからなる埋込み絶縁膜16を堆積する。

【0161】次に、図13(b)に示すように、CMP法を用いて、埋込み絶縁膜16に対して下部電極31が露出するまで平坦化することにより、各下部電極31の周囲を埋込み絶縁膜16により埋め込む。従って、下部電極31の上面は埋込み絶縁膜16の露出面とほぼ同一の高さとなる。

【0162】次に、図13(c)に示すように、MOD法、MOCVD法又はスパッタリング法により、埋込み絶縁膜16及び下部電極31の上に全面にわたって、膜厚が50nm～150nm程度のビスマス層状ペロブスカイト構造を持つタンタルニオブ酸ストロンチウムビスマスからなる容量絶縁膜形成膜32Aを成膜する。続いて、リソグラフィ法及びドライエッチング法により、成膜した容量絶縁膜形成膜32Aにおける上部電極接続用電極31Aの上側部分を選択的に除去する。これにより、容量絶縁膜形成膜32Aに開口部32aが形成され、形成された開口部32aから上部電極接続用電極31Aが露出する。続いて、スパッタリング法により、容量絶縁膜形成膜32Aの上に開口部32aを充填するように、膜厚が50nm～150nm程度の白金からなる上部電極形成膜33Aを成膜する。これにより、開口部32aには白金が充填されて上部電極プラグ33aが形成され、この上部電極プラグ33aによって上部電極接続用電極31Aと上部電極33とが電気的に接続される。その後、温度が650℃～800℃程度の酸素雰囲気中で熱処理を行なって、容量絶縁膜形成膜32Aを構成する金属酸化物を結晶化する。

【0163】次に、図14(a)に示すように、各セルブロック50をマスクするレジストマスク(図示せず)を用いて、上部電極形成膜33A、容量絶縁膜形成膜32A、埋込み絶縁膜16、及び第1の絶縁性バリア層4

5に対して順次ドライエッチングを行なって、上部電極形成膜33Aから上部電極33を形成し、容量絶縁膜形成膜32Aから容量絶縁膜32を形成する。

【0164】次に、図14(b)に示すように、CVD法又はスパッタ法により、層間絶縁膜13の上に、それぞれセルブロック50ごとにパターニングされた、上部電極33の上面及び側面、容量絶縁膜32及び埋込み絶縁膜16の側面、並びに第1の絶縁性バリア層45の端面を覆うように全面にわたって、膜厚が5nm～100nm程度の酸化アルミニウムからなり水素の拡散を防ぐ第2の絶縁性バリア層17を成膜する。これにより、第2の絶縁性バリア層17は、セルブロック50の周囲において、埋込み絶縁膜16の下側に位置する第1の絶縁性バリア層45の端面と接する構成を得る。続いて、図12(a)に示すように、成膜した第2の絶縁性バリア層17に対して、互いに隣接する2つのセルブロック50を含むように、ドライエッチング法によりパターニングを行なう。但し、この第2の絶縁性バリア層17に対するパターニングは必ずしも行なう必要はない。

【0165】第4の実施形態に係る製造方法の一変形例として、第1の実施形態に係る製造方法と同様に、図14(a)に示した、上部電極33及び容量絶縁膜32等をセルブロック50ごとにパターニングする工程において、第1の絶縁性バリア層45に対してはパターニングを行わず、図14(b)に示した後工程で、第2の絶縁性バリア層17と連続して第1の絶縁性バリア層45をパターニングしてもよい。

【0166】なお、第1～第4の実施形態においては、容量絶縁膜32に、タンタルニオブ酸ストロンチウムビスマス($\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$)を用いたが、これに限られず、ビスマス層状ペロブスカイト構造を有する強誘電体であればよい。例えば、チタン酸ジルコン鉛、チタン酸ストロンチウムバリウム又は五酸化タンタル等を用いるとよい。

【0167】また、第1～第4の実施形態において、第1の絶縁性バリア層15、15A、45には、酸化アルミニウム(Al_2O_3)を用いたが、これに代えて、酸化チタンアルミニウム(TiAlO)又は酸化タンタルアルミニウム(TaAlO)を用いてもよい。このようにすると、酸化アルミニウムを含め、これらの金属酸化物は、埋込み絶縁膜16から下部電極31への側面方向からの酸素及び水素の拡散をほぼ完全に防止することができる。但し、前述したように、第4の実施形態に係る第1の絶縁性バリア層45については、その加工性の容易さから窒化シリコン(Si_3N_4)又は酸窒化シリコン(SiON)を用いることが好ましい。

【0168】同様に、第2の絶縁性バリア層17は、酸化アルミニウム(Al_2O_3)の代わりに、酸化チタンアルミニウム(TiAlO)又は酸化タンタルアルミニウム(TaAlO)を用いてもよい。このようにする

と、容量絶縁膜32に対する基板面に垂直な方向及び平行な方向からの水素の拡散をほぼ完全に抑止することができる。

【0169】また、第1～第4の実施形態に係る下部電極31は、第1の導電性バリア層31aとして、窒化チタンアルミニウム(TiAlN)を用いたが、これに代えて、チタンアルミニウム(TiAl)、窒化珪化チタン(TiSiN)、窒化タンタル(TaN)、窒化珪化タンタル(TaSiN)、窒化タンタルアルミニウム(TaAlN)、及びタンタルアルミニウム(TaAl)のうちのいずれか1つにより構成されるか、又はTiAlNを含め、これらのうちの少なくとも2つを含む積層膜により構成されていることが好ましい。このようにすると、容量絶縁膜32を構成する高誘電体又は強誘電体の結晶化を行なうための高温の酸素アニール時に、酸素がコンタクトプラグ14にまで拡散することを防止でき、且つ、下部電極31から容量絶縁膜32への基板方向からの水素の拡散を防止することができる。

【0170】また、下部電極31を構成する第2の導電性バリア層31bにはイリジウム(Ir)を用い、第3の導電性バリア層31cには、二酸化イリジウム(IrO₂)を用いたが、これらに限られない。

【0171】すなわち、第2及び第3の導電性バリア層31b、31cとして、二酸化イリジウム(IrO₂)からなる単層膜、二酸化ルテニウム(RuO₂)からなる単層膜、及び下層から順次形成されたルテニウム(Ru)と二酸化ルテニウム(RuO₂)とからなる積層膜のいずれを用いてもよい。さらには、イリジウム(Ir)と二酸化イリジウム(IrO₂)とからなる積層膜を含め、これら単層膜及び積層膜のうちの少なくとも2つを含むさらなる積層膜により構成されていてもよい。このようにすると、容量絶縁膜32を構成する高誘電体又は強誘電体の結晶化を行なうための高温の酸素アニール時に、酸素がコンタクトプラグ14にまで拡散して、拡散した酸素がコンタクトプラグ14の表面を酸化することによってコンタクト抵抗が上昇することを防止できる。

【0172】また、第1～第4の実施形態において、下部電極31の側方の領域を埋め込む埋込み絶縁膜16に、酸化シリコン(SiO₂)又は窒化シリコン(Si₃N₄)を用いているため、互いに隣接する下部電極31同士を電気的に絶縁すると共に平坦化を容易に行なえるため、容量絶縁膜32を成膜する下地層として好ましい。

【0173】

【発明の効果】本発明に係る容量素子によると、下部電極を構成する酸素の拡散を防ぐ導電性バリア層が金属酸化物からなる場合であっても、導電性バリア層の水素による還元を防止できるため、該導電性バリア層は酸素に対するバリア性を維持することができる。

【0174】本発明に係る半導体記憶装置によると、本発明に係る容量素子を有しているため、容量素子の製造中の水素による特性の劣化を防止することができる。

【0175】本発明に係る半導体記憶装置の製造方法によると、本発明に係る容量素子を形成するため、容量素子の製造中の水素による特性の劣化を防止することができる。

【図面の簡単な説明】

【図1】(a)は本発明の第1の実施形態に係る容量素子を含む半導体記憶装置の要部を示す構成断面図である。(b)は本発明の第1の実施形態に係る容量素子の下部電極を示す構成断面図である。

【図2】(a)～(c)は本発明の第1の実施形態に係る半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図3】(a)及び(b)は本発明の第1の実施形態に係る半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図4】本発明の第1の実施形態に係る半導体記憶装置におけるコンタクトプラグと容量素子の下部電極との間のコンタクト抵抗の測定結果を従来例と比較して表わしたグラフである。

【図5】本発明の第1の実施形態に係る半導体記憶装置における容量素子の水素アニールを行なう前と行なった後との各残留分極の測定結果を表わしたグラフである。

【図6】(a)～(c)は本発明の第1の実施形態の変形例に係る半導体記憶装置における下部電極とその側面を覆う第1の絶縁性バリア層の近傍とを示し、(a)は第1変形例に係る構成断面図であり、(b)は第2変形例に係る構成断面図であり、(c)は第3変形例に係る構成断面図である。

【図7】本発明の第2の実施形態に係る容量素子を含む半導体記憶装置の要部を示す構成断面図である。

【図8】(a)及び(b)は本発明の第2の実施形態に係る半導体記憶装置の製造方法を示し、第1の実施形態と相違する工程の構成断面図である。

【図9】(a)～(c)は本発明の第3の実施形態に係る半導体記憶装置の要部を示し、(a)はメモリセルアレイを構成するセルブロックを示す平面図であり、

(b)は(a)のIXb-IXb線における断面図であり、

(c)は(a)のIXc-IXc線における断面図である。

【図10】(a)～(c)は本発明の第3の実施形態に係る半導体記憶装置の製造方法を示し、図9(a)のIXc-IXc線における工程順の構成断面図である。

【図11】(a)及び(b)は本発明の第3の実施形態に係る半導体記憶装置の製造方法を示し、図9(a)のIXc-IXc線における工程順の構成断面図である。

【図12】(a)～(c)は本発明の第4の実施形態に係る半導体記憶装置の要部を示し、(a)はメモリセルアレイを構成するセルブロックを示す平面図であり、

(b)は(a)のXIIb-XIIb線における断面図であり、(c)は(a)のXIIc-XIIc線における断面図である。

【図13】(a)～(c)は本発明の第4の実施形態に係る半導体記憶装置の製造方法を示し、図12(a)のXIIc-XIIc線における工程順の構成断面図である。

【図14】(a)及び(b)は本発明の第4の実施形態に係る半導体記憶装置の製造方法を示し、図12(a)のXIIc-XIIc線における工程順の構成断面図である。

【図15】従来の半導体記憶装置の要部を示す構成断面図である。

【図16】(a)及び(b)は従来の半導体記憶装置における容量素子の下部電極に不具合が生じる様子を表わした模式的な構成断面図である。

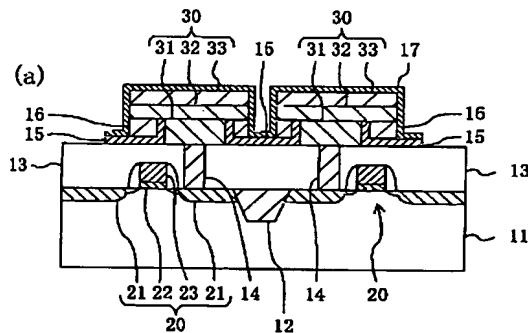
【図17】従来の半導体記憶装置における容量素子の容量絶縁膜に不具合が生じる様子を表わした模式的な構成断面図である。

【符号の説明】

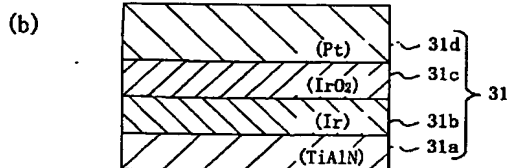
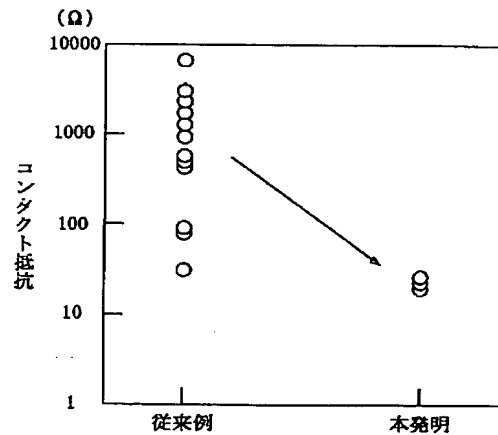
- 11 半導体基板
- 12 シャロウトレンチ分離
- 13 層間絶縁膜
- 14 コンタクトプラグ
- 15 第1の絶縁性バリア層

- 15A 第1の絶縁性バリア層
- 16 埋込み絶縁膜
- 17 第2の絶縁性バリア層
- 20 セルトランジスタ
- 21 ソースドレイン領域
- 22 ゲート絶縁膜
- 23 ゲート電極
- 24 サイドウォール絶縁膜
- 30 容量素子
- 31 下部電極
- 31A 上部電極接続用電極
- 31a 第1の導電性バリア層
- 31b 第2の導電性バリア層
- 31c 第3の導電性バリア層
- 31d 導電層
- 32 容量絶縁膜
- 32a 開口部
- 32A 容量絶縁膜形成膜
- 33 上部電極
- 33A 上部電極形成膜
- 33a 上部電極プラグ
- 45 第1の絶縁性バリア層
- 50 セルブロック

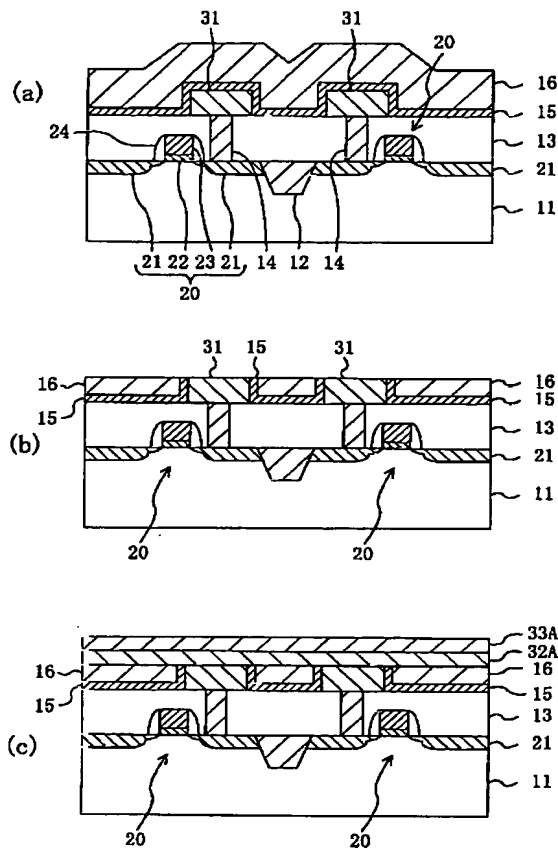
【図1】



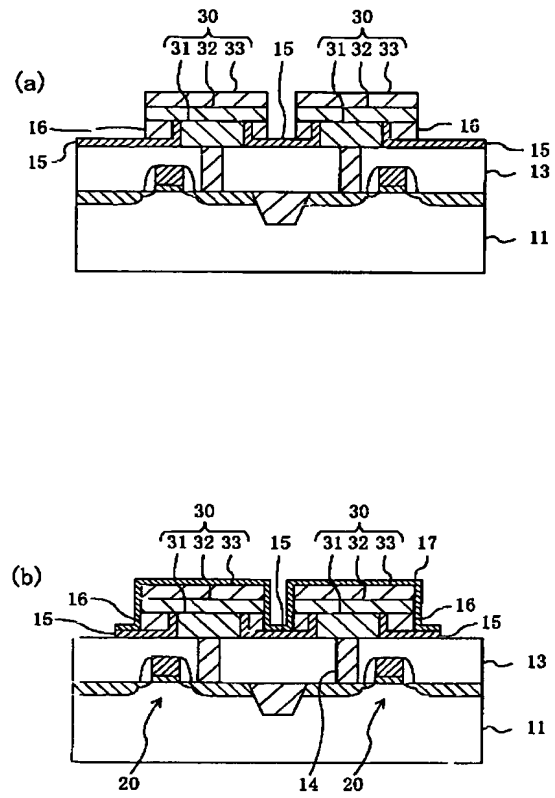
【図4】



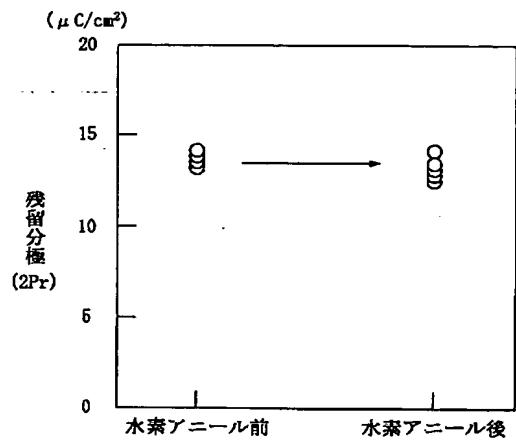
【図2】



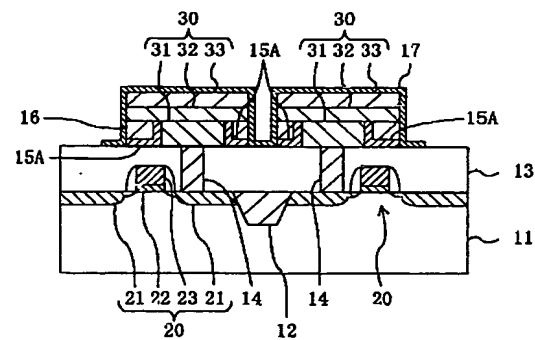
【図3】



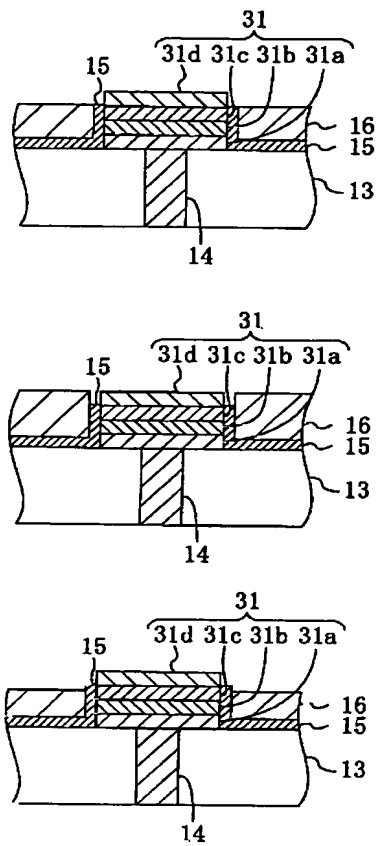
【図5】



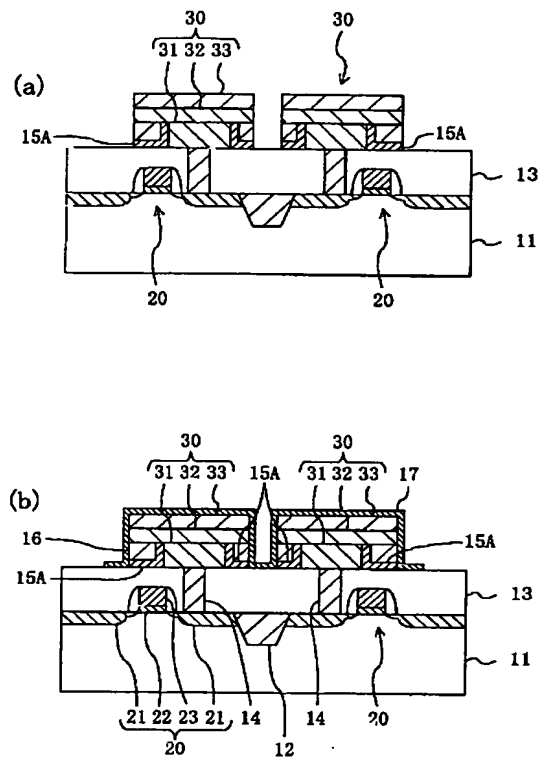
【図7】



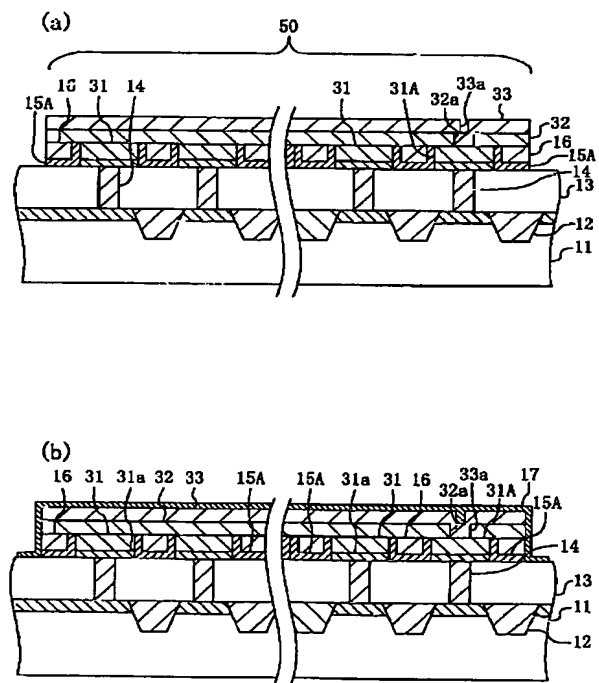
【図6】



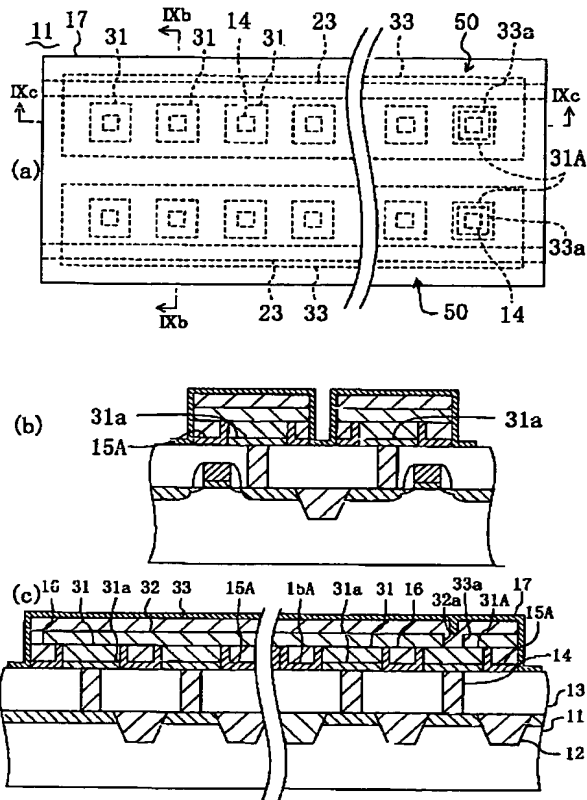
【図8】



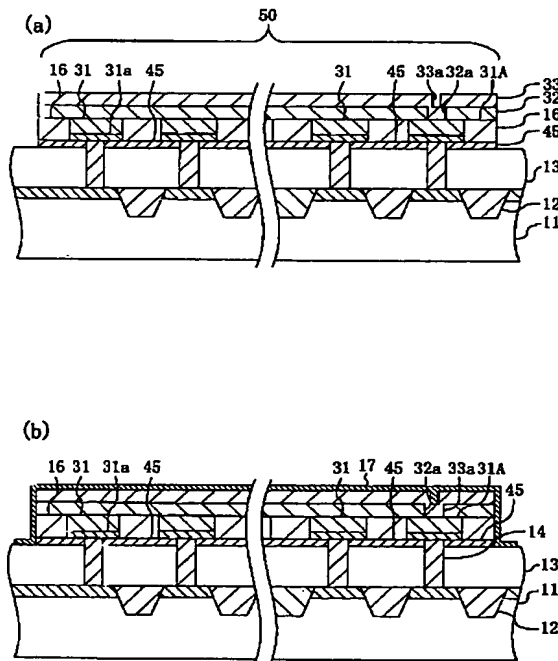
【図11】



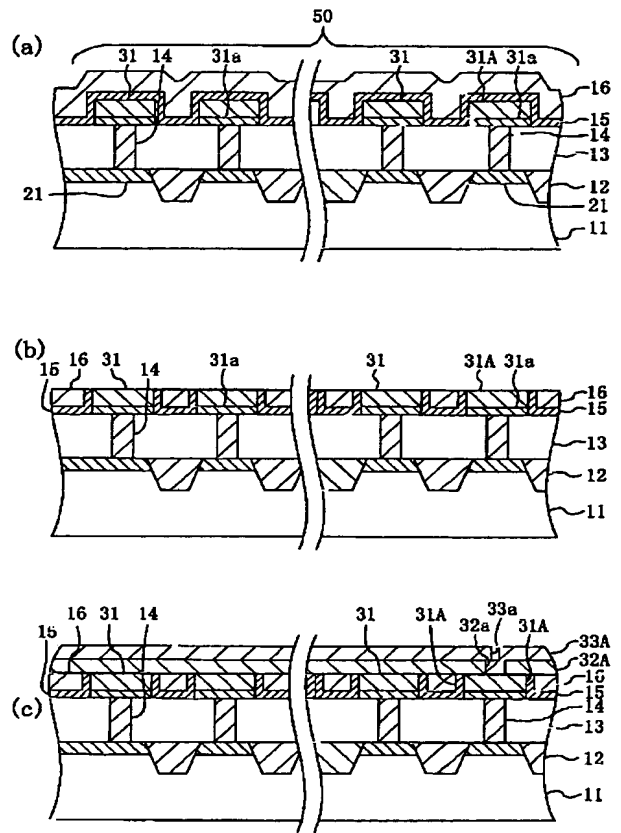
【図9】



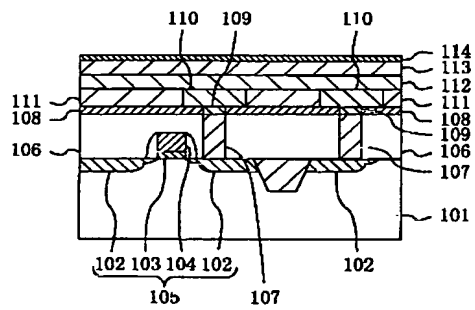
【図14】



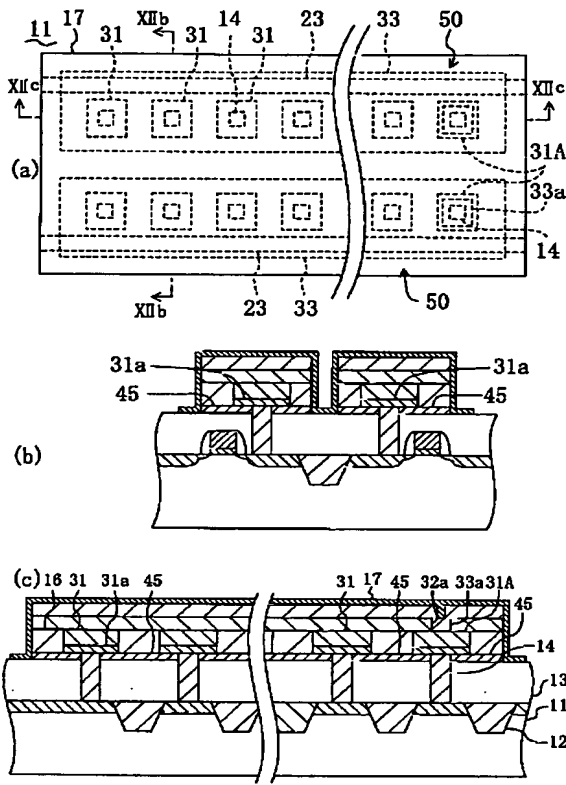
【図10】



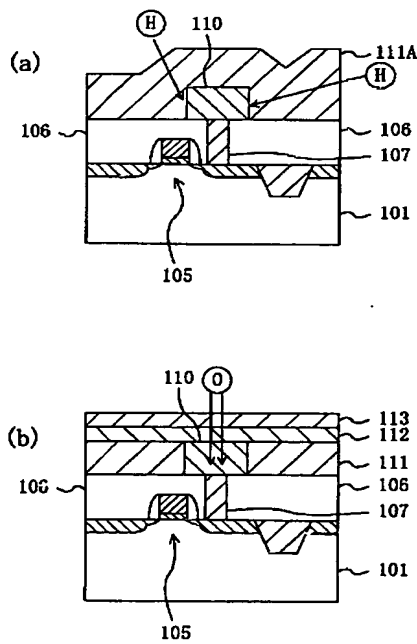
【図15】



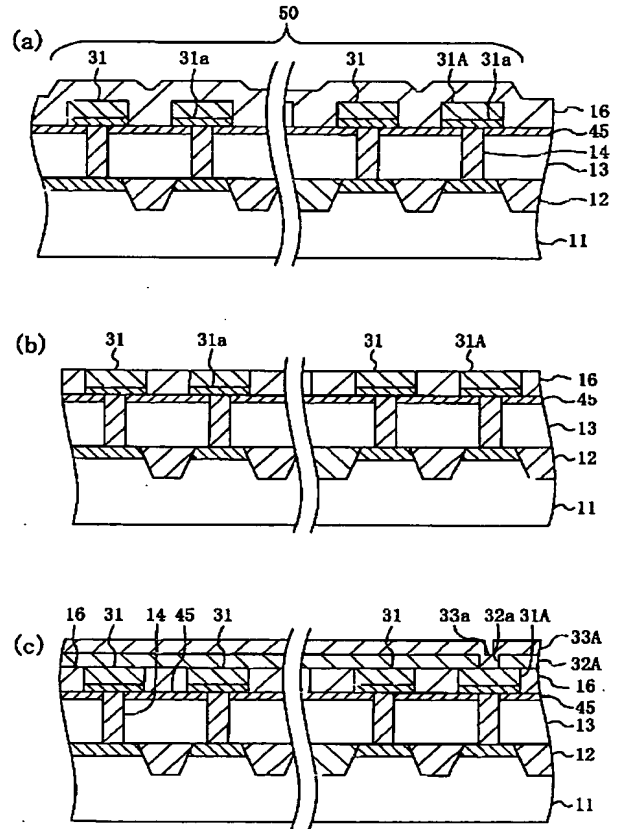
【図12】



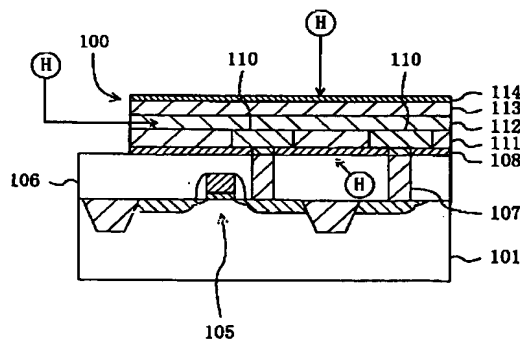
【図16】



【図13】



【図17】



(28) 冊2003-86771 (P2003-86771A)

フロントページの続き

F ターム(参考) 5F083 GA02 GA21 GA25 JA17 JA36
JA38 JA39 JA40 JA43 JA56
MA01 MA06 MA15 MA17 NA01
PR03 PR18 PR33 PR40

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.